
EM78P153K

8位OTP
微控制器

产品规格书

版本 1.2

义隆电子股份有限公司
2012.08

本文内容是由英文规格书翻译而
目的是为了您的阅读更加方便。
它无法跟随原稿的更新，文中可
能存在翻译上的错误，请您参考
英文规格书以获得更准确的信
息。



商标告知:

IBM 为一个注册商标，PS/2 是 IBM 的商标之一。

Windows 是微软公司的商标。

ELAN 和 ELAN 标志  是义隆电子股份有限公司的商标。

版权所有 © 2011~2012 义隆电子股份有限公司

所有权利保留

台湾印制

本规格书内容如有变动恕不另作通知。关于该规格书的准确性、适当性或者完整性，义隆电子股份有限公司不承担任何责任。义隆电子股份有限公司不承诺对本规格书之内容及信息有更新及校正之义务。本规格书的内容及信息将为符合确认之指示而变更。

在任何情况下，义隆电子股份有限公司对本规格书中的信息或内容的错误、遗漏，或者其它不准确性不承担任何责任。由于使用本规格书中的信息或内容而导致的直接，间接，特别附随的或结果的损害，义隆电子股份有限公司没有义务负责。

本规格书中提到的软件（如果有），都是依据授权或保密合约所合法提供的，并且只能在这些合约的许可条件下使用或者复制。

义隆电子股份有限公司的产品不是专门设计来应用于生命维持的用具，装置或者系统。义隆电子股份有限公司的产品不支持而且禁止在这些方面的应用。

未经义隆电子股份有限公司书面同意，任何个人或公司不得以任何形式或方式对本规格书的内容之任一部分进行复制或传输。



义隆电子股份有限公司

总公司:

地址：台湾新竹科学园区
创新一路 12 号
电话:+886 3 563-9977
传真:+886 3 563-9966
webmaster@emc.com.tw
<http://www.emc.com.tw>

香港分公司:

义隆电子（香港）有限公司
九龙观塘巧明街 95 号世达中心 19
楼 A 室
电话：+852 2723-3376
传真：+852 2723-7780

USA:

**Elan Information
Technology Group (USA)**
P.O. Box 601
Cupertino, CA 95015
USA
Tel: +1 408 366-8225
Fax: +1 408 366-8225

Korea:

**Elan Korea Electronics
Company, Ltd.**
301 Dong-A Building
632 Kojan-Dong,
Namdong-ku
Incheon City, KOREA
Tel: +82 32 814-7730
Fax: +82 32 813-7730

深圳分公司:

义隆电子（深圳）有限公司
深圳市南山区高新技术产业园南
区高新南六道迈科龙大厦 8A
邮编：518057
电话：+86 755 2601-0565
传真：+86 755 2601-0500
elan-sz@elan.com.cn

上海分公司:

义隆电子（上海）有限公司
地址：上海市浦东新区张江高
科碧波路 5 号 科苑大楼 6 楼
邮编：201203
电话：+86 21 5080-3866
传真：+86 21 5080-0273
elan-sh@elan.com.cn

目录

1	综述	1
2	产品特性.....	1
3	引脚图	2
4	引脚描述.....	3
5	结构框图.....	4
5.1	操作寄存器	4
5.1.1	R0 (间接寻址寄存器)	4
5.1.2	R1 (定时器/计数器)	4
5.1.3	R2 (程序计数器) 和堆栈	5
5.1.4	R3 (状态寄存器).....	6
5.1.5	R4 (RAM 选择寄存器).....	7
5.1.6	R5 ~ R6 (Port 5 ~ Port 6).....	7
5.1.7	RF (中断状态寄存器)	7
5.1.8	R10 ~ R2F	7
5.2	特殊功能寄存器	7
5.2.1	A (累加器)	7
5.2.2	CONT (控制寄存器)	8
5.2.3	IOC5 ~ IOC6 (I/O 端口控制寄存器)	8
5.2.4	IOCB (下拉控制寄存器)	9
5.2.5	IOCC (漏极开路控制寄存器).....	9
5.2.6	IOCD (上拉控制寄存器)	9
5.2.7	IOCE (看门狗定时器控制寄存器).....	10
5.2.8	IOCF (中断屏蔽寄存器)	10
5.3	TCC/WDT&预分频器	11
5.4	I/O 端口	12
5.5	复位和唤醒	14
5.5.1	复位.....	14
5.5.2	寄存器初始值总结	16
5.5.3	状态寄存器的 RST,T 和 P 的状态.....	18
5.6	中断	19
5.7	振荡器.....	20
5.7.1	震荡模式	20
5.7.2	晶体振荡器/陶瓷谐振器 (晶体).....	21
5.7.3	外部 RC 振荡模式	23
5.7.4	IRC 震荡模式	24
5.8	代码选项寄存器	24
5.8.1	代码选项寄存器(Word 0).....	24
5.8.2	代码选项寄存器(Word 1).....	25

5.8.3	代码选项寄存器 (Word 2).....	26
5.9	上电探讨.....	27
5.10	编程设置振荡器启动时间.....	27
5.11	外部上电复位电路.....	27
5.12	残留电压保护.....	27
5.13	指令集.....	28
6	最大绝对值.....	31
7	电气特性.....	32
7.1	直流电气特性(Ta=25°C VDD= 5V, VSS= 0V).....	32
7.2	交流电气特性.....	34
7.3	器件特性.....	35
8	时序图.....	37

附录

A	产品排序信息.....	38
B	封装类型.....	39
C	封装信息.....	40

规格版本历史

文件版本	修订描述	日期
1.0	初版	2011/11/22
1.1	1.添加了订单和生产信息 2.修改了指令表格,不是指令集。 3.在 7.3 节添加了器件的电压和频率关系图表 4.改进了 IC 部分序号 5.在特性章节改进了关于 POR 和 LVR 的描述	2012/05/28
1.2	1.改进零件序号问题 2.增加了 10 引脚 SSOP 封装	2012/08/07

1 综述

EM78P153K 是采用低功耗高速 CMOS 工艺设计开发的 8 位微控制器。它的内部有一个 1K×13 位一次性可编程只读存储器(OTP-ROM)。它提供 1 个保护位用于防止用户在 OTP-ROM 中的程序被读取，同时拥有 15 个代码选项位以满足用户的需要。

利用其增强的 OTP-ROM 特性，EM78P153K 可使用户方便的开发和校验程序，另外，利用开发和编程工具，此 OTP 提供了容易而有效的程序更新优势。用户可以使用义隆烧录器容易的烧写自己的开发代码。

2 产品特性

- CPU 配置
 - 1K×13 位片内 ROM
 - 32×8 位片内寄存器(SRAM, 通用寄存器)
 - 5 级推栈用于子程序嵌套
 - 电流小于 1.5 mA @5V / 4 MHz
 - 典型值 15 μ A @3V / 32kHz
 - 典型值 1 μ A@休眠模式
- I/O 端口配置
 - 2 组双向 I/O 端口: P5, P6
 - 12 个 IO 引脚
 - 唤醒端口: P6
 - 6 个可编程下拉 I/O 引脚
 - 7 个可编程上拉 I/O 引脚
 - 7 个可编程开漏极 I/O 引脚
 - 外部中断: P60
- 工作电压范围
 - 工作电压: 2.1V~5.5V @ 0°C ~70°C (商业级)
 - 工作电压: 2.3V~5.5V @ -40°C ~85°C (工业级)
- 工作频率范围(基于 2 个时钟周期)
 - IRC 模式:
 - 晶振模式:
 - DC~20 MHz / 2clks @ 5V
 - DC~8 MHz / 2clks @ 3V
 - DC~4 MHz / 2clks @ 2.1V
 - ERC 模式:
 - DC~2 MHz / 2clks @ 2.1V
- 外围配置
 - 8 位实时时钟/计数器 (TCC)，可编程选择其信号源、触发边沿，溢出产生中断
 - 上电复位和 3 个可编程的复位电压
上电复位电压：1.8V(默认)，LVR:4.0V,3.5V 和 2.7V
 - 代码选项可供选择每条指令占用周期数:2 或 4 个时钟周期
 - 高抗 EFT
- 3 个可用中断源:
 - TCC 溢出中断
 - 输入端口状态改变中断(从休眠模式唤醒)
 - 外部中断
- 特殊功能：
 - 可编程自由运行的看门狗定时器
 - 休眠省电模式
 - 可选择振动模式
 - 可编程振荡器起振时间的预分频

IRC 频率	偏移率			
	温度 (-40~85°C)	电压	制程	总计
4 MHz	± 1%	± 3% @ 2.1~5.5V	± 2%	± 6%
16 MHz	± 1%	± 1% @ 4.0~5.5V	± 2%	± 4%
8 MHz	± 1%	± 2% @ 3.0~5.5V	± 2%	± 5%
1 MHz	± 1%	± 3% @ 2.1~5.5V	± 2%	± 6%

- 封装类型
 - 14-引脚 DIP 300mil : EM78P153KD14J
 - 14-引脚 SOP 150mil: EM78P153KSO14J
 - 10-引脚 SSOP 150mil: EM78P153KSS10J
 - 10-引脚 SSOP 150mil: EM78P153KASS10J

注: 绿色产品不包含有害物质.

3 引脚图

14-Pin DIP/SOP

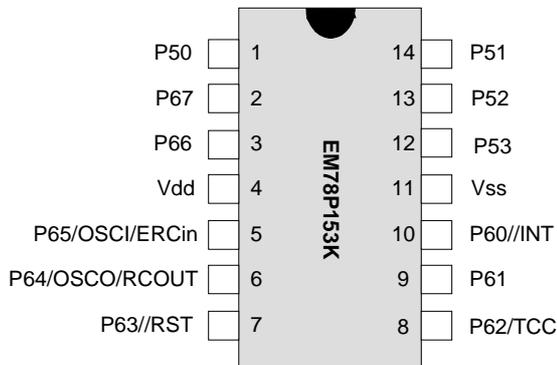


图 3-1 EM78P153KD14J/SO14J

10-Pin SSOP 1

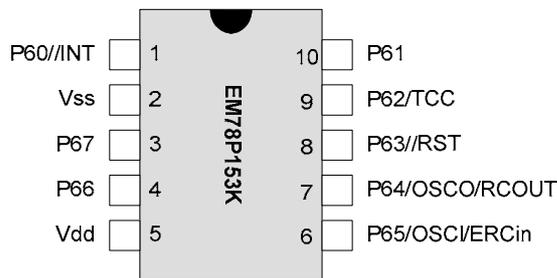


图 3-2 EM78P153KSS10J

10-Pin SSOP 2

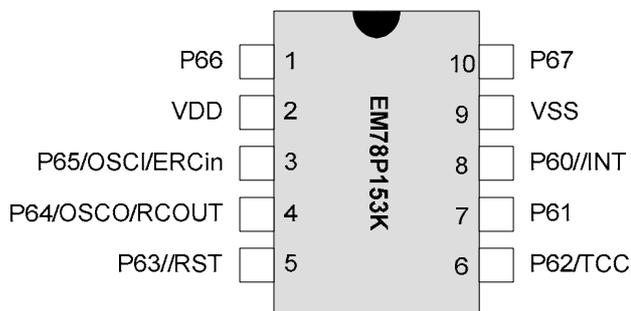


图 3-3 EM78P153KASS10J

4 引脚描述

引脚名称	引脚功能	输入类型	输出类型	描述
P53	P53	ST	CMOS	双向 I/O 引脚
P52 P51 P50	P52 P51 P50	ST	CMOS	双向 I/O 引脚，可编程下拉
P67 P66	P67 P66	ST	CMOS	双向 I/O 引脚，可编程上拉、漏级开路、引脚状态发生改变时从休眠模式唤醒
P65/OSCI	P65	ST	CMOS	双向 I/O 引脚，可编程上拉、漏级开路、引脚状态发生改变时从休眠模式唤醒
	OSCI	XTAL	-	晶体振荡器/谐振器的输入引脚
P64/OSCO	P64	ST	CMOS	双向 I/O 引脚，可编程上拉、漏级开路、引脚状态发生改变时从休眠模式唤醒
	OSCO	-	XTAL	晶体振荡器/谐振器的输出引脚
P63//RESET	P63	ST	-	输入引脚 引脚状态发生改变时，从休眠模式唤醒
	/RESET	ST	-	复位引脚，低电平有效
P62/TCC	P62	ST	CMOS	双向 I/O 引脚，可编程上拉、下拉、漏级开路、引脚状态发生改变时从休眠模式唤醒
	TCC	ST	-	外部 TCC 信号输入
P61	P61	ST	CMOS	双向 I/O 引脚，可编程上拉、下拉、漏级开路、引脚状态发生改变时从休眠模式唤醒
P60/INT	P60	ST	CMOS	双向 I/O 引脚，可编程上拉、下拉、漏级开路、引脚状态发生改变时从休眠模式唤醒
	/INT	ST	-	下降沿触发的外部中断引脚
VDD	VDD	电源	-	电源正极
VSS	VSS	电源	-	电源地

5 结构框图

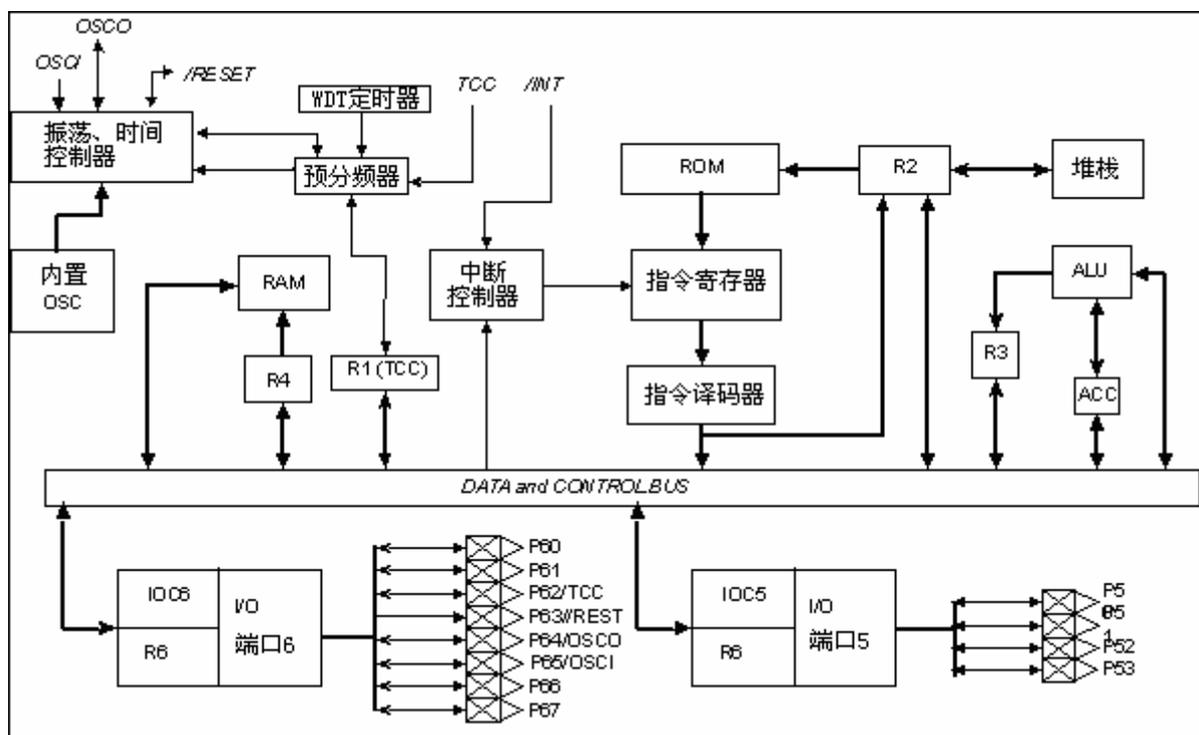


图 5-1 EM78P153K 功能结构框图

5.1 操作寄存器

5.1.1 R0 (间接寻址寄存器)

R0 并非实际存在的寄存器。它的主要功能是作为间接寻址指针。任何以 R0 作为指针的指令实际上是对 RAM 选择寄存器 (R4) 所指的数据进行操作。

5.1.2 R1 (定时器/计数器)

- TCC引脚的外部信号边沿或内部指令周期时钟触发（由CONT寄存器的TE位设定），会使TCC寄存器加1。
- 像其它寄存器一样可读/写。
- 通过复位PAB 位(CONT-3)设定。
- 如果PAB位 (CONT-3) 被复位，预分频器分配给TCC。
- 只有当给TCC寄存器赋值时，预分频计数器的内容将被清零。

5.1.3 R2 (程序计数器) 和堆栈

- 根据具体的器件类型，R2和硬件堆栈为10位宽。下图描绘了相关结构图。

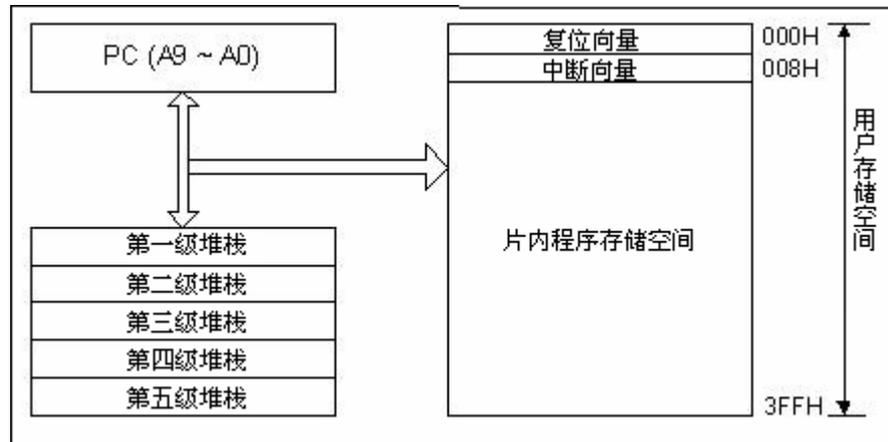


图 5-2 程序计数器结构框图

- 生成1024×13 位程序指令代码的片内OTP ROM地址。一个程序页为1024字长。
- 复位条件下，R2所有位均清“0”。
- "JMP"指令直接加载程序计数器的低10位。因此，"JMP"允许PC跳转到一个程序页的任何位置。
- "CALL"指令首先加载PC的低10位，然后将PC+1推入堆栈。因此，子程序的入口地址可位于一个程序页的任何位置。
- "RET" ("RETL k", "RETI")加载栈顶值到程序计数器中。
- 任何向R2写入的指令 (例如. "ADD R2,A", "MOV R2,A", "BC R2,6", 等) 将会使PC的第九和第十位(A8~A9)清零。因此，经计算后的跳转位置只能位于一个程序存储器页的头256地址空间中。
- 所有指令均是单指令周期指令(fclk/2 或 fclk/4)，但会改变R2寄存器内容的指令除外，这些指令的执行需要一个或多个指令周期。

■ 数据存储配置如下

地址	R PAGE 寄存器	IOC PAGE 寄存器
00	R0 (间接寻址寄存器)	保留
01	R1 (定时计数器)	CONT (控制寄存器)
02	R2 (程序计数器)	保留
03	R3 (状态寄存器)	保留
04	R4 (RAM 选择寄存器)	保留
05	R5 (Port 5)	IOC5 (I/O 端口控制寄存器)
06	R6 (Port 6)	IOC6 (I/O 端口控制寄存器)
07	保留	保留
08	保留	保留
09	保留	保留
0A	保留	保留
0B	保留	IOCB (下拉控制寄存器)
0C	保留	IOCC (漏极开路控制寄存器)
0D	保留	IOCD (上拉控制寄存器)
0E	保留	IOCE (看门狗定时器控制寄存器)
0F	RF (中断状态寄存器)	IOCF (中断屏蔽寄存器)
10 : 2F	通用寄存器	

图 5-3 数据存储配置

5.1.4 R3 (状态寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RST	GP1	GP0	T	P	Z	DC	C

Bit 7 (RST): 复位类型标志位

- 0: 其它复位类型引发唤醒复位方式
- 1: 引脚状态改变引发控制器从休眠模式唤醒方式

Bit6 ~ 5 (GP1 ~ 0): 通用读/写位

Bit 4 (T): 时间溢出标志位

执行"SLEP"和"WDTIC"指令或上电时置“1”，WDT 溢出时复位为“0”。

Bit 3 (P): 省电标志位

上电或执行"WDTIC"指令时置“1”，执行"SLEP"指令时复位为“0”。

Bit 2 (Z): 零标志位

当算术或逻辑运算的结果为 0 时置“1”。

Bit 1 (DC): 辅助进位标志位

Bit 0 (C): 进位标志位

5.1.5 R4 (RAM选择寄存器)

Bits 7 ~ 6 没有使用（只读位）

Bits 7 ~ 6 一直置为“1”

Bits 5 ~ 0 在间接寻址模式下，用于选择寄存器(地址: 0x00 ~ 0x06, 0x0F ~ 0x2F)

查看如图 5-3 的数据存储器配置

5.1.6 R5 ~ R6 (Port 5 ~ Port 6)

- R5 和 R6 为 I/O 寄存器
- R5寄存器仅低4位可用
- R5寄存器的高4位固定为0
- P63 仅用作输入引脚

5.1.7 RF (中断状态寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	-	-	-	EXIF	ICIF	TCIF

注释：“1”表示中断请求，“0”表示没有中断产生。

Bits 7 ~ 3: 未用，一直置为0.

Bit 2 (EXIF): 外部中断标志位。由/INT引脚信号的下降沿触发置1，由软件清零

Bit 1 (ICIF): Port 6 输入状态改变中断标志位。Port 6输入状态改变时触发置1，由软件清零

Bit 0 (TCIF): TCC 溢出中断标志位。TCC 溢出时置1，由软件清零

RF 寄存器可由指令清零，但不由指令置 1

IOCF 寄存器为中断屏蔽寄存器

注意

从RF寄存器中的读取值为RF值和IOCF值的“逻辑与”的结果。

5.1.8 R10 ~ R2F

所有这些寄存器均为 8 位通用寄存器。

5.2 特殊功能寄存器

5.2.1 A (累加器)

内部数据传输或指令操作数通常暂存在 A 中，它不可被寻址。

5.2.2 CONT (控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GP	/INT	TS	TE	PAB	PSR2	PSR1	PSR0

Bit 7(GP): 通用寄存器

Bit 6 (INT): 中断使能标志位

0: 被 DISI 或硬件中断屏蔽

1: 被 ENI/RETI 指令使能

Bit 5 (TS): TCC 信号源选择位

0: 内部指令周期时钟，P62 为双向 I/O 引脚。

1: TCC 引脚的跳变信号

Bit 4 (TE): TCC 信号边沿选择位

0: TCC 引脚信号由低变到高时 TCC 计数器加 1

1: TCC 引脚信号由高变到低时 TCC 计数器加 1

Bit 3 (PAB): 预分频器分配位

0: TCC

1: WDT

Bit 2 (PSR2) ~ 0 (PSR0): TCC/WDT 预分频比选择位

PSR2	PSR1	PSR0	TCC 预分频比	WDT 预分频比
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

CONT 为可读/写寄存器

5.2.3 IOC5 ~ IOC6 (I/O端口控制寄存器)

0: 相关 I/O 引脚置为输出

1: 相关 I/O 引脚置为高阻态

IOC5 寄存器仅低 4 位可被有效定义。

IOC5 和 IOC6 均为可读/写寄存器。

5.2.4 IOCB (下拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	/PD62	/PD61	/PD60	-	/PD52	/PD51	/PD50

Bit 7: 未使用，一直置为“1”。

0: 使能内部下拉功能

1: 禁止内部下拉功能

Bit 6 (/PD62): P62引脚下拉功能使能控制位

Bit 5 (/PD61): P61引脚下拉功能使能控制位

Bit 4 (/PD60): P60引脚下拉功能使能控制位

Bit 3: 未使用，一直置为“1”

Bit 2 (/PD52): P52引脚下拉功能使能控制位

Bit 1 (/PD51): P51引脚下拉功能使能控制位

Bit 0 (/PD50): P50引脚下拉功能使能控制位

IOCB 为可读/写寄存器

5.2.5 IOCC (漏极开路控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OD67	OD66	OD65	OD64	-	OD62	OD61	OD60

Bit 7 (OD67): P67引脚漏极开路功能使能控制位

0: 禁止漏极开路输出

1: 使能漏极开路输出

Bit 6 (OD66): P66引脚漏极开路功能使能控制位

Bit 5 (OD65): P65引脚漏极开路功能使能控制位

Bit 4 (OD64): P64引脚漏极开路功能使能控制位

Bit 3: 未使用。一直置为“0”

Bit 2 (OD62): P62引脚漏极开路功能使能控制位

Bit 1 (OD61): P61引脚漏极开路功能使能控制位

Bit 0 (OD60): P60引脚漏极开路功能使能控制位

IOCC 为可读/写寄存器。

5.2.6 IOCD (上拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
/PH67	/PH66	/PH65	/PH64	-	/PH62	/PH61	/PH60

Bit 7 (/PH67): P67引脚上拉功能使能控制位

0: 使能内部上拉功能

1: 禁止内部上拉功能

Bit 6 (/PH66): P66引脚上拉功能使能控制位

Bit 5 (/PH65): P65引脚上拉功能使能控制位

Bit 4 (/PH64): P64引脚上拉功能使能控制位

Bit 3: 未使用，一直置为“1”

Bit 2 (/PH62): P62引脚上拉功能使能控制位

Bit 1 (/PH61): P61引脚上拉功能使能控制位

Bit 0 (/PH60): P60引脚上拉功能使能控制位

IOCD 为可读/写寄存器。

5.2.7 IOCE (看门狗定时器控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTE	EIS	-	-	-	-	-	-

Bit 7 (WDTE): 看门狗定时器使能控制位

0: 禁止 WDT.

1: 使能 WDT.

WDTE 为可读/写位。

Bit 6 (EIS): 定义P60(/INT)引脚功能的控制位。

0: P60，双向 I/O 引脚

1: /INT，外部中断输入引脚。在此情况下，P60 引脚的 I/O 控制位(IOC6 的 bit 0)必须置为“1”。

当 EIS 位为“0”，/INT 通道被屏蔽。当 EIS 为“1”，/INT 引脚状态也可通过读 Port 6 (R6)寄存器的方式来读取。结合 5.4 节内容参考图 5-6。

EIS 为可读/写位。

Bit 5 ~ 0: 未使用，一直置为“1”

5.2.8 IOCF (中断屏蔽寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	-	-	-	EXIE	ICIE	TCIE

Bit 7 ~ 3: 未使用，一直置为“1”

各中断可通过设置 IOCF 寄存器的相应控制位为“1”使能。

全局中断可通过执行 ENI 指令使能，通过执行 DISI 指令禁止。

Bit 2 (EXIE): EXIF中断使能位.

0: 禁止 EXIF 中断

1: 使能 EXIF 中断

Bit 1 (ICIE): ICIF中断使能位

0: 禁止 ICIF 中断

1: 使能 ICIF 中断

Bit 0 (TCIE): TCIF中断使能位

0: 禁止 TCIF 中断

1: 使能 TCIF 中断

IOCF 为可读/写寄存器。

5.3 TCC/WDT&预分频器

TCC 和 WDT 共用一个由 8 位计数器构成的预分频器。在某一时刻，预分频器只能分配给 WDT 和 TCC 两者之一，由 CONT 寄存器的 PAB 位设置预分频器的分配情况，PSR0~PSR2 设置预分频比。在 TCC 模式下，每次向 TCC 寄存器写入值都会刷新预分频器。当预分频器分配给 WDT 模式时，看门狗定时器和其预分频器由“WDTC”或者“SLEP”指令清零。图 5-4 描绘了 TCC/WDT 的电路图。

- R1 (TCC) 是一个8位定时/计数器。TCC的时钟源可为内部或外部时钟输入(可编程选择TCC引脚信号边沿)。如果TCC时钟源来自内部时钟，TCC寄存器在每个指令周期后加1(未经过预分频器)。代码选项寄存器的CLK位的状态设置 $CLK=Fosc/2$ 或是 $CLK=Fosc/4$ ，参考图5-4。CLK位为“0”时， $CLK=Fosc/2$ ；CLK位为“1”时， $CLK=Fosc/4$ 。如果TCC时钟源来自外部时钟输入，TCC寄存器在TCC引脚的上升沿或下降沿加1。
- 看门狗定时器的时钟源是一个自由运行的片内RC振荡器。即使在其它振荡器关闭的情况下(也就是休眠模式下)，WDT仍将保持运行。在正常运行或休眠模式下，WDT溢出(若WDT使能)将会使器件复位。在正常模式下的任何时刻，WDT都可通过软件编程为使能或禁止，参考IOCE寄存器的WDTE位。不带预分频器时，WDT溢出周期大约为 18 ms^1 (默认)。

¹ Vdd = 5V, 启动时间周期 = $16.5\text{ms} \pm 30\%$

Vdd = 3V, 启动时间周期 = $18\text{ms} \pm 30\%$

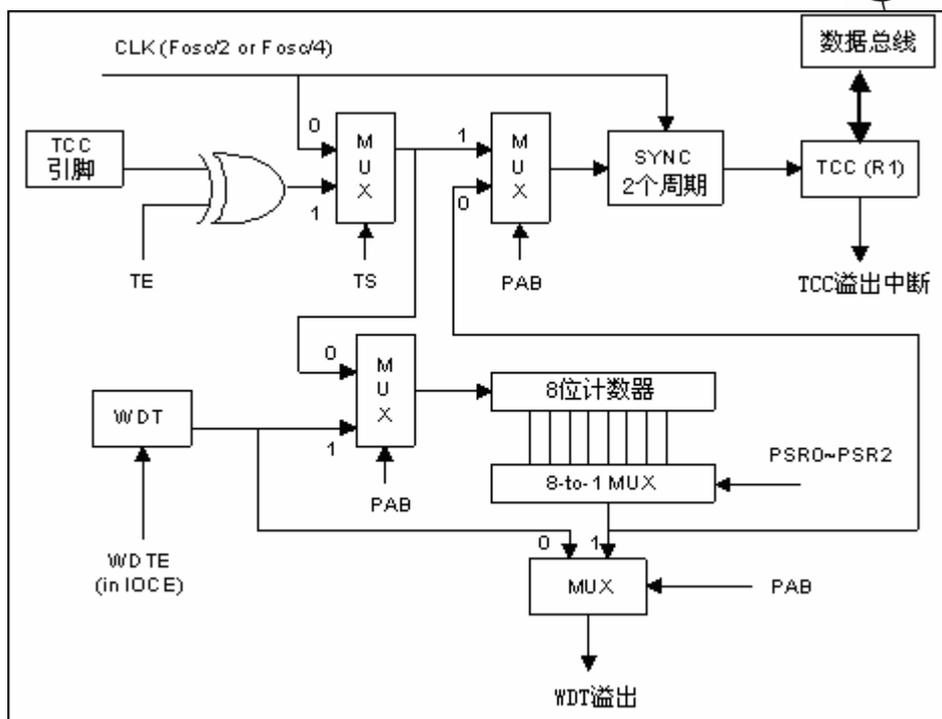
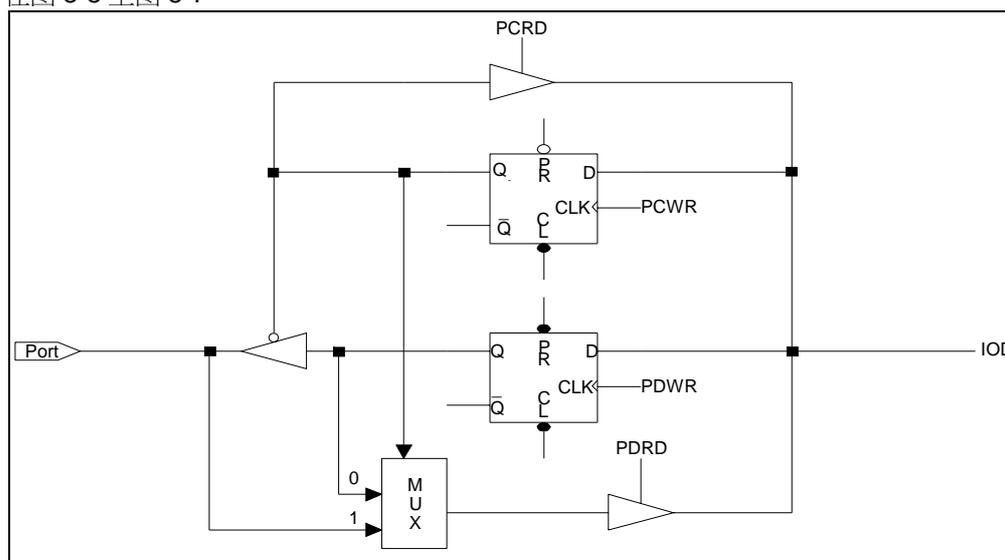


图 5-4 TCC和WDT框架结构图

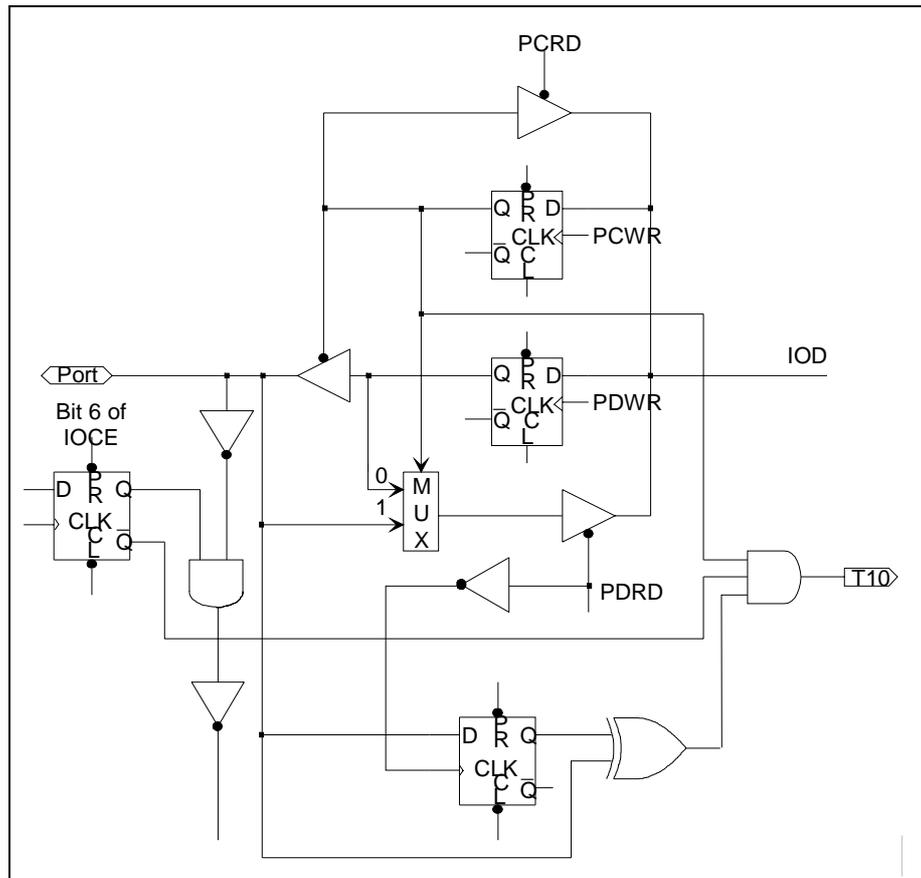
5.4 I/O 端口

Port5 和 Port6 均为双向三态 I/O 端口。Port 6 端口引脚中除 P63 引脚外，可编程使其内部上拉和漏极开路输出功能；另外，Port 6 端口具有输入状态改变中断（或唤醒）功能；P50 ~ P52 和 P60 ~ P62 引脚可编程为内部下拉。除 P63 引脚外的每个 I/O 引脚都可通过设置 I/O 控制寄存器(IOC5 ~ IOC6)的相应位定义为“输入”或“输出”。I/O 寄存器和 I/O 控制寄存器均为可读/写寄存器。Port 5 和 Port 6 的 I/O 接口电路分别描绘在图 5-5 至图 5-7。



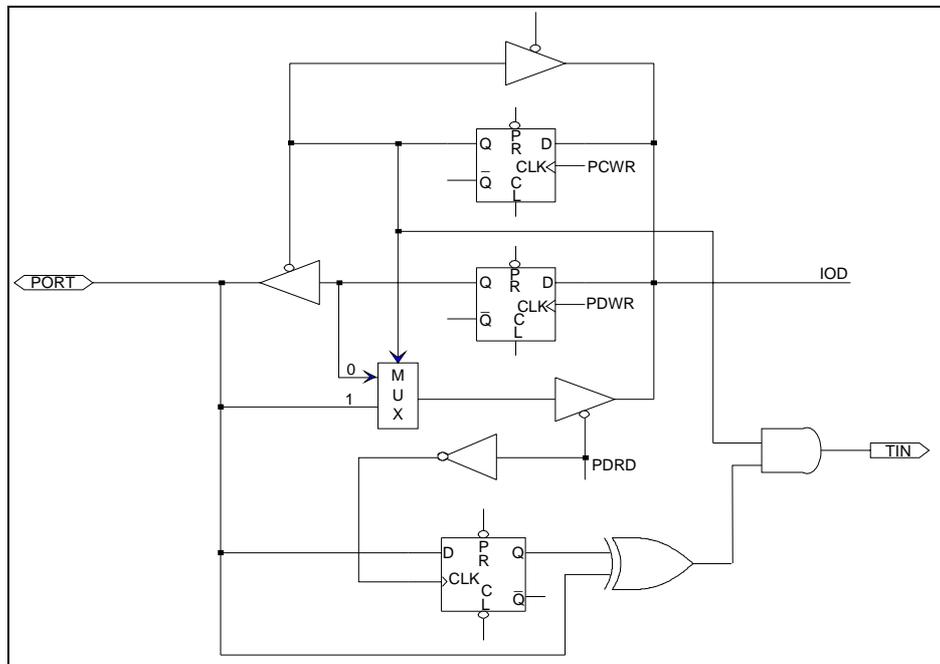
注意：下拉电路未显示在本图中

图 5-5 Port 5的I/O端口和I/O控制寄存器电路



注意:上(下)拉和漏极开路电路未显示在本图中

图 5-6 P60 (/INT)的I/O端口和I/O控制寄存器电路



注意:上(下)拉和漏极开路电路未显示在本图中

图 5-7 P61~P67的I/O端口和I/O控制寄存器电路

(3) WDT 溢出(若 WDT 使能)

(4) 低电压复位

检测到复位状态后，器件将保持在周期为大约 18ms^2 (振荡器起振时间周期)的复位状态下。一旦产生复位，以下操作将被执行。

- 振荡器运行或起振（休眠模式下）。
- 程序计数器 (R2) 所有位都设置为“0”。
- 所有I/O端口引脚被配置为输入模式(高阻态)。
- 看门狗定时器和预分频器清零。
- 上电后，R3寄存器的高3位清零。
- CONT寄存器中，除Bit 6 (INT 标志位)外，其它所有位都置为“1”。
- IOCB寄存器的所有位置为“1”。
- IOCC 寄存器清零。
- IOCD 寄存器的所有位置为“1”。
- IOCE寄存器的Bit 7置“1”，Bit 4 和 Bit 6 清零。
- RF寄存器的 Bits 0~2 和 IOCF 寄存器的bits 0~2 清零。

执行“SLEP”指令后进入休眠模式（省电模式）。进入休眠模式后，WDT（若使能）清零但继续保持运行。

微控制器可由以下事件唤醒：

- (1) /RESET 引脚的外部复位信号输入，
- (2) WDT 溢出 (若使能)
- (3) Port 6 输入状态改变(若使能)。

前两个事件将使 EM78P153K 复位。可用 R3 寄存器的 T 和 P 标志位来判断复位源（唤醒源）。最后一个事件将综合考虑后续程序的执行和全局中断("ENI" 或 "DISI" 指令的执行情况)，来决定控制器在唤醒后是否进入中断向量。如果在 SLEP 指令前执行了 ENI 指令，唤醒后将从地址为 008H 处开始执行。如果在 SLEP 指令前执行了 DISI 指令，唤醒后将从 SLEP 指令的下一条指令开始执行。

在进入睡眠模式前，只允许事件 2 和事件 3 中其中一个被使能。也就是：

[a] 如果在 SLEP 指令前 Port 6 输入状态改变中断被使能，必须通过软件编程禁止 WDT。因此，EM78P153K 仅可由事件 1 或事件 3 唤醒。

[b] 如果在 SLEP 指令前 WDT 被使能，必须禁止 Port 6 输入状态改变中断。因此，EM78P153K 仅可由事件 1 或事件 2 唤醒。查阅更详细的内容，请参考 5.6 中断章节。

² Vdd = 5V, 启动时间周期 = $16.8\text{ms} \pm 30\%$
Vdd = 3V, 启动时间周期 = $18\text{ms} \pm 30\%$

如果 Port 6 输入状态改变中断被用作唤醒 EM78P153K (以上 Case [a] 所述) , 在 SLEEP 指令前必须执行以下指令

```
MOV A, @xxxx11110b      ;选择WDT预分频器, 比例设置为1: 1
CONTW
WDTC                     ;清除WDT和预分频器
MOV A, @0xxxxxxxxb      ;禁止WDT
IOW RE
MOV R6, R6               ; 读Port6
MOV A, @00000x1xb       ; 使能Port6输入状态改变触发中断
IOW RF
ENI (or DISI)           ;使能(或者禁止)全局中断
SLEEP                   ;进入休眠模式
```

注意

1. 从休眠模式唤醒后, WDT被自动使能。所以在从休眠模式唤醒后, 应该在程序中合理的定义WDT使能/禁止操作
2. 为防止在Port 6输入状态改变中断进入中断向量或被用作唤醒MCU时产生复位, WDT预分频比必须设置为大于1:1.

5.5.2 寄存器初始值总结

地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x00	R0 (IAR)	位名	-	-	-	-	-	-	-	-
		上电	U	U	U	U	U	U	U	U
		/RESET和 WDT	P	P	P	P	P	P	P	P
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x01	R1 (TCC)	位名	-	-	-	-	-	-	-	-
		上电	0	0	0	0	0	0	0	0
		/RESET和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x02	R2 (PC)	位名	-	-	-	-	-	-	-	-
		上电	0	0	0	0	0	0	0	0
		/RESET和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变触发唤醒	跳至0x08地址处或继续执行下一条指令							
0x03	R3 (SR)	位名	RST	GP1	GP0	T	P	Z	DC	C
		上电	0	0	0	1	1	U	U	U
		/RESET和 WDT	0	0	0	*	*	P	P	P
		引脚状态改变触发唤醒	1	P	P	*	*	P	P	P
0x04	R4 (RSR)	位名	GP1	GP0	-	-	-	-	-	-
		上电	U	U	U	U	U	U	U	U
		/RESET和 WDT	P	P	P	P	P	P	P	P
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x05	P5	位名	×	×	×	×	P53	P52	P51	P50
		上电	1	1	1	1	1	1	1	1
		/RESET和 WDT	P	P	P	P	P	P	P	P
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P



地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x06	P6	位名	P67	P66	P65	P64	P63	P62	P61	P60
		上电	1	1	1	1	1	1	1	1
		/RESET和 WDT	P	P	P	P	P	P	P	P
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x0F	RF (ISR)	位名	x	x	x	x	x	EXIF	ICIF	TCIF
		上电	0	0	0	0	0	0	0	0
		/RESET和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变触发唤醒	0	0	0	0	0	P	N	P
N/A	CONT	位名	x	/INT	TS	TE	PAB	PSR2	PSR1	PSR0
		上电	1	0	1	1	1	1	1	1
		/RESET和 WDT	1	0	1	1	1	1	1	1
		引脚状态改变触发唤醒	P	0	P	P	P	P	P	P
0x05	IOC5	位名	x	x	x	x	C53	C52	C51	C50
		上电	0	0	0	0	1	1	1	1
		/RESET和 WDT	0	0	0	0	1	1	1	1
		引脚状态改变触发唤醒	0	0	0	0	P	P	P	P
0x06	IOC6	位名	C67	C66	C65	C64	C63	C62	C61	C60
		上电	1	1	1	1	1	1	1	1
		/RESET和 WDT	1	1	1	1	1	1	1	1
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x0B	IOCB	位名	x	/PD66	/PD65	/PD64	x	/PD52	/PD51	/PD50
		上电	1	1	1	1	1	1	1	1
		/RESET和 WDT	1	1	1	1	1	1	1	1
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x0C	IOCC	位名	OD67	OD66	OD65	OD64	x	OD62	OD61	OD60
		上电	0	0	0	0	0	0	0	0
		/RESET和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x0D	IOCD	位名	/PH67	/PH66	/PH65	/PH64	x	/PH62	/PH61	/PH60
		上电	1	1	1	1	1	1	1	1
		/RESET和 WDT	1	1	1	1	1	1	1	1
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P



地址	名称	Reset 类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x0E	IOCE	位名	WDTE	EIS	×	×	×	×	×	×
		上电	1	0	1	1	1	1	1	1
		/RESET和 WDT	1	0	1	1	1	1	1	1
		引脚状态改变触发唤醒	1	P	1	1	1	1	1	1
0x0F	IOCF	位名	×	×	×	×	×	EXIE	ICIE	TCIE
		上电	1	1	1	1	1	0	0	0
		/RESET和 WDT	1	1	1	1	1	0	0	0
		引脚状态改变触发唤醒	1	1	1	1	1	P	P	P
0x10~ 0x2F	R10~R2F	位名	-	-	-	-	-	-	-	-
		上电	U	U	U	U	U	U	U	U
		/RESET和 WDT	P	P	P	P	P	P	P	P
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P

惯例: X: 未使用 U: 未知或不用关心 P: 复位前的值

*:参考下一章节的表格(5.5.3 章节)

5.5.3 状态寄存器的RST,T和P的状态

复位可由以下事件引发：

1. 上电,
2. /RESET 引脚上的高-低-高信号脉冲
3. 看门狗定时器溢出。

可用下表中 T 和 P 标志位的值判断唤醒处理器的事件源。

表 5-2 复位后RST, T, 和P的值。

复位类型	RST	T	P
上电	0	1	1
正常模式下的/RESET 引脚信号引发复位	0	*P	*P
休眠模式下的/RESET 引脚信号触发唤醒	0	1	0
正常模式下的 WDT 溢出复位	0	0	*P
休眠模式下的 WDT 溢出唤醒	0	0	0
休眠模式下的引脚输入状态改变触发唤醒	1	1	0

* P: 复位前的值

下表列举了可能会影响 T、P 状态的事件。

表 5-3 事件发生后RST、T和P的状态

事件	RST	T	P
上电	0	1	1
WDTC 指令	*P	1	1
WDT 溢出	0	0	*P
SLEP 指令	*P	1	0
休眠模式下引脚状态改变触发唤醒	1	1	0

* P: 复位前的值

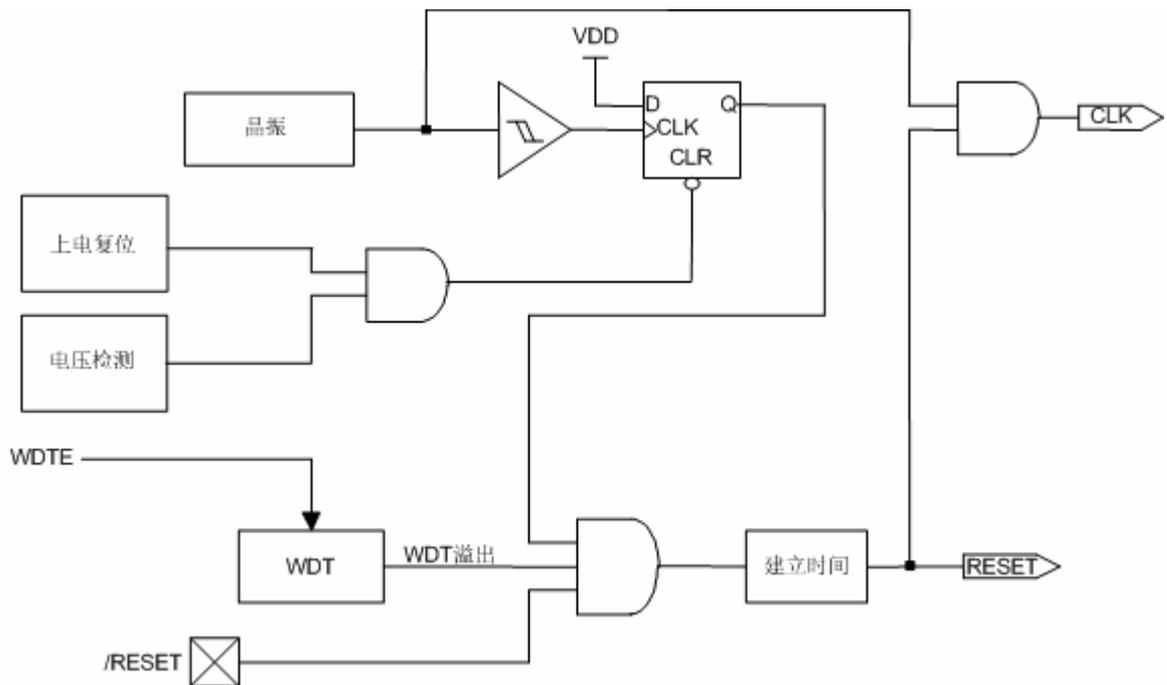


图 5-9 复位控制器结构图

5.6 中断

EM78P153K 有如下三种下降沿触发中断源：

- (1) TCC 溢出中断
- (2) Port 6 输入状态触发中断
- (3) 外部中断 [(P60, /INT) 引脚]

在使能 Port 6 输入状态改变中断前，读 Port 6 端口状态(例如："MOV R6,R6")是必要的。当引脚状态改变时，Port 6 的每个引脚均具有此特性。但当引脚被配置为输出或 P60 引脚配置为 /INT 时，相应引脚则失去此功能特性。当通过执行 SLEP 指令使控制器进入休眠模式前，Port 6 输入状态改变功能被使能，则 Port 6 输入状态改变中断可使 EM78P153K 从休眠模式唤醒。器件唤醒后，如果全局中断被禁止，控制器将从 SLEP 指令的下一条指令处开始执行；如果全局中断被使能，控制器将跳转到中断向量 008H 处开始执行。

RF 寄存器是中断状态寄存器，它的相应标志位记录对应的中断请求。IOCF 寄存器是中断屏蔽寄存器。全局中断可通过执行 ENI 指令使能，通过执行 DISI 指令禁止。当产生某个中断（若使能），程序计数器将会跳转到地址 008H 处。在中断服务子程序中，可通过查询 RF 寄存器的标志位的状态判断中断源。在离开中断服务子程序前，必须通过指令清除中断标志位，这样可避免中断嵌套。

当有中断请求时，不管其相应中断屏蔽位的状态如何或者是否执行了 ENI 指令使能全局中断，中断状态寄存器（RF）中的相应标志位（ICIF 位除外）都将被置 1。注意，从 RF 寄存器读取的值是 RF 和 IOCF 的逻辑与的结果（参考图 5-10）。RETI 指令结束中断服务子程序并使能全局中断（执行 ENI）。

表 5-5 最大工作频率总结

条件	VDD	最大频率(MHz)
1 个指令周期包含 2 个时钟周期	2.1	4.0
	3.0	8.0
	5.0	20.0

5.7.2 晶体振荡器/陶瓷谐振器 (晶体)

EM78P153K可由通过OSCI引脚输入的外部时钟信号驱动，如下图所示。

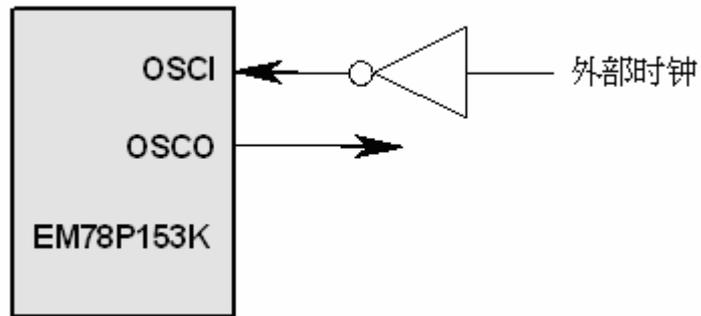


图 5-11 外部时钟输入电路

在大多数应用中，OSCI 和 OSCO 引脚通常连接一个晶体或陶瓷谐振器以产生振荡，图 5-12 描绘了一个这样的电路。HXT 模式和 LXT 模式都是以此种方式产生振荡。

如图 5-12-1，在陶瓷震荡模式电路中必须在 OSCI 与 OSCO 之间串接阻值为 $1M\Omega$ 的电阻 R1。

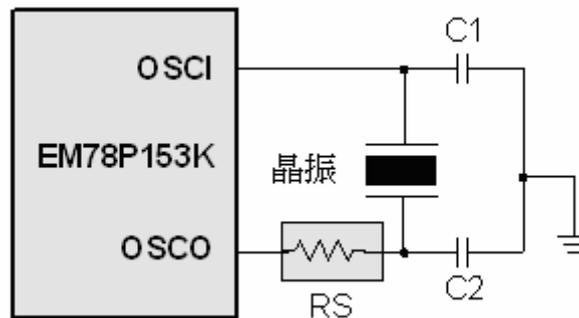


图 5-12 晶体/谐振器电路

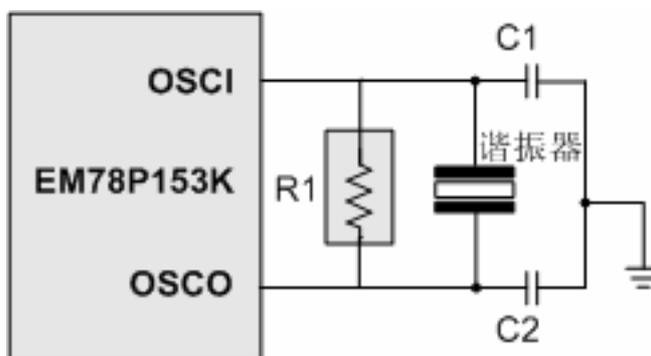


图 5-12-1 晶体/谐振器电路

表 5-6 提供了 C1 和 C2 的参考建议值，由于每种谐振器都有它自己的属性，用户应参考它的用户手册以选择合适的 C1 和 C2，对于 AT strip cut 型晶体或低频模式，可能需要一个串接电阻 RS。

图 5-6 晶体振荡器或陶瓷谐振器匹配电容选择指南

振荡类型	频率模式	频率	C1 (pF)	C2 (pF)
陶瓷谐振器	LXT1 (100k ~ 1 MHz)	100kHz	60pF	60pF
		200kHz	60pF	60pF
		455kHz	40pF	40pF
		1 MHz	30pF	30pF
	XT (1M ~ 6 MHz)	1.0 MHz	30pF	30pF
		2.0 MHz	30pF	30pF
4.0 MHz		20pF	20pF	
晶体谐振器	LXT2 (32.768kHz)	32.768kHz	40pF	40pF
	LXT1 (100k ~ 1 MHz)	100kHz	60pF	60pF
		200kHz	60pF	60pF
		455kHz	40pF	40pF
		1 MHz	30pF	30pF
	XT (1 ~ 6 MHz)	455kHz	30pF	30pF
		1.0 MHz	30pF	30pF
		2.0 MHz	30pF	30pF
		4.0 MHz	20pF	20pF
		6.0 MHz	30pF	30pF
	HXT2 (6 ~ 12 MHz)	6.0 MHz	30pF	30pF
		8.0 MHz	20pF	20pF
		10.0 MHz	30pF	30pF
		12.0 MHz	30pF	30pF
	HXT1 (12 ~ 20 MHz)	12.0 MHz	30pF	30pF
16.0 MHz		20pF	20pF	
20.0 MHz		15pF	15pF	

5.7.3 外部RC振荡模式

对于一些不需要精确计时的应用，RC 振荡器(图 5-13)提供了一种大幅节省成本的方案。然而，应该注意到，RC 振荡器的频率会受供电电压、电阻(Rext)、电容(Cext)甚至工作温度的影响。另外，因为生产过程的差异，一个器件的频率与另外一个器件的频率也会存在细微的差别。

为了维持在一个稳定的系统频率下，Cext 值应该大于 20 pF，Rext 值不高于 1 MΩ。如果它们不在此范围内，系统频率很容易受噪声、湿度和漏电流的影响。

在 RC 振荡模式中，Rext 值越小，其振荡频率越快。相反，对一个非常小的 Rext 值，例如 1 KΩ，振荡器将变得不稳定。因为 NMOS 不能及时的释放电容电荷。

基于以上原因，必须时刻牢记，供电电压、工作温度、RC 振荡器的元件特性、封装类型、PCB layout 等因素都会对系统频率产生影响。

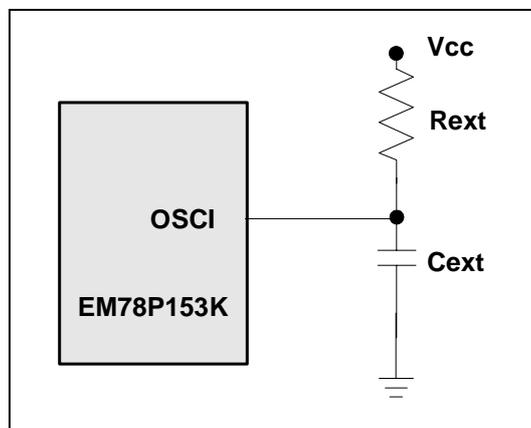


图 5-13 外部RC震荡模式电路

图5-7 RC 震荡频率

电容	电阻	平均频率 5V, 25°C	平均 频率 3V, 25°C
20pF	3.3k	2.064 MHz	1.901 MHz
	5.1k	1.403 MHz	1.316 MHz
	10k	750kHz	719.7kHz
	100k	81.45kHz	81.33kHz
100pF	3.3k	647.3kHz	615.1 MHz
	5.1k	430.8kHz	414.3kHz
	10k	225.8kHz	219.8kHz
	100k	23.88kHz	23.96kHz
300pF	3.3k	256.6kHz	245.3kHz
	5.1k	169.5kHz	163.0kHz
	10k	88.53kHz	86.14kHz
	100k	9.283kHz	9.255kHz

注：¹：数据在DIP封装类型上测量

²：以上数据仅用作设计参考

³：频率偏移为± 30%.

5.7.4 IRC振荡模式

EM78P153K 提供了种通用的内部 RC 模式其默认频率为 4MHz。内部 RC 振荡模式还有其它频率值：1MHz、8MHz 和 16MHz，可通过编程设置代码选项 (Word1) 位 RCM1 和 RCM0 选择内部 RC 振荡模式的四个频率值。这四个主频均可通过编程代码选项位 C0~C4 进行校准。下表描述了 EM78P153K 随供电电压、温度和制程变化的内部 RC 频率偏移率。

表 5-8 内部IRC频率偏移率(Ta=25°C, VDD=5V, VSS=0V)

IRC 频率	偏移率			
	温度 (-40°C~85°C)	电压	制程	总计
4 MHz	± 1%	± 3% @ 2.1V ~ 5.5V	± 2%	± 6%
16 MHz	± 1%	± 1% @ 4.0V ~ 5.5V	± 2%	± 4%
8 MHz	± 1%	± 2% @ 3.0V ~ 5.5V	± 2%	± 5%
1 MHz	± 1%	± 3% @ 2.1V ~ 5.5V	± 2%	± 6%

注：以上数据为理论值，仅用作设计参考。实际值可能随实际制程而有所不同。

5.8 代码选项寄存器

EM78P153K 有一个代码选项字，它不位于用户程序存储空间。在执行用户程序时，这些位不可被存取。

代码选项寄存器和用户 ID 寄存器组织如下：

Word 0	Word 1	Word 2
Bit 12 ~ Bit 0	Bit 12 ~ Bit 0	Bit 12 ~ Bit 0

5.8.1 代码选项寄存器(Word 0)

Word 0											
Bit	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2~0
助记符	RESETEN	ENWDT	CLKS	LVR1	LVR0	-	WDTPS1	WDTPS0	ID10	ID9	Protect
1	禁止	禁止	4个时钟	高	高	-	高	高	高	高	禁止
0	使能	使能	2个时钟	低	低	-	低	低	低	低	使能

Bit 12 (RESETEN): 定义引脚P63为复位引脚

0: 使能/RESET

1: 禁止/RESET

Bit 11 (/ENWTD): 看门狗定时器使能位

0: 使能

1: 禁止

Bit 10 (CLKS): 指令周期选择位

0: 两个振荡周期

1: 四个振荡周期

参考指令集章节。

Bit 9 ~ 8 (LVR1 ~ LVR0): 低电压复位控制位

LVR1, LVR0	VDD 复位电平	VDD 释放电平
11	NA (上电复位) (默认)	
10	2.7V	2.9V
01	3.5V	3.7V
00	4.0V	4.0V

Bit 7: 未使用，一直置为1

Bit 6 ~ 5 (WDTPS1 ~ WDTPS0): WDT溢出周期选择位

图 5-9 可编程 WDT 溢出周期

WDTPS1	WDTPS0	*WDT 溢出周期
1	1	18 ms
1	0	4.5 ms
0	1	288 ms
0	0	72 ms

* 这些是理论数据，仅供参考

Bits 4 ~ 3: 用户ID的第9和第10位

Bits 2 ~ 0 (保护): 保护位。对应的保护状态如下。

保护位	保护
0	使能
1	禁止(默认)

5.8.2 代码选项寄存器(Word 1)

Word 1													
Bit	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
助记符	-	C4	C3	C2	C1	C0	RCM1	RCM0	OSC3	OSC2	OSC1	OSC0	-
1	-	高	高	高	高	高	高	高	高	高	高	高	-
0	-	低	低	低	低	低	低	低	低	低	低	低	-

Bit 12: 没有使用。该位一直置为1。

Bits 11 ~ 7 (C4 ~ C0): 内部RC振荡模式频率校准位，这些位要一直设为1(自动校正)

Bits 6 ~ 5 (RCM1, RCM0): RC 模式选择位

RCM 1	RCM 0	*频率 (MHz)
1	1	4
1	0	16
0	1	8
0	0	1

* 理论数据，仅供参考

Bits 4 ~ 1 (OSC3, OSC2, OSC1 和 OSC0): 振荡模式选择位

振荡模式	OSC3	OSC2	OSC1	OSC0
ERC ¹ (外部 RC 振荡模式); P64/RCOUT 作为 P64	0	0	0	0
ERC ¹ (外部 RC 振荡模式); P64/RCOUT 作为 RCOUT	0	0	0	1
IRC ² (内部 RC 振荡模式); P64/RCOUT 作为 P64	0	0	1	0
IRC ² (内部 RC 振荡模式); P64/RCOUT 作为 RCOUT	0	0	1	1
LXT1 ³ (LXT1 模式, 频率范围: 1 MHz ~ 100kHz)	0	1	0	0
HXT1 ³ (HXT1 模式, 频率范围: 20 MHz ~ 12 MHz)	0	1	0	1
LXT2 ³ (LXT2 模式, 频率范围: 32.768kHz)	0	1	1	0
HXT2 ³ (HXT2 模式, 频率范围: 12 MHz ~ 6 MHz)	0	1	1	1
XT (XT 模式, 频率范围: 6 MHz~1 MHz) (默认)	1	1	1	1

¹ ERC模式下, ERCin作为振荡输入引脚. RCOUT/P64由 Word 1代码选项的1~4位来确定。

² IRC模式下, P64作为正常I/O使用. RCOUT/P64由 Word 1代码选项的1~4位来确定。

³ 在LXT1, LXT2, HXT1, HXT2 and XT 模式下; OSC1 and OSC0当作振荡引脚使用
这些引脚不允许定义为正常I/O口。

Bit 0: 未使用，一直置为 1。

5.8.3 代码选项寄存器 (Word 2)

Word 2													
Bit	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
助记符	ID12	ID11	-	-	ID8	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
1	高	高	-	-	高	高	高	高	高	高	高	高	高
0	低	低	-	-	低	低	低	低	低	低	低	低	低

Bits 12 ~ 11: 用户 ID 号的第 12，11 位。

Bits 10 ~ 9: 未使用，一直置为 1。

Bits 8 ~ 0: 用户的 ID 的第 8~0 位。

5.9 上电探讨

在供电电压达到稳定状态前，任何微控制器都不能确保正常工作。在用户应用中，当电源关闭，Vdd 在电源再次开启前，必须降到 1.8V 以下并保持在关断状态大约 10us。这样 EM78P153K 将会复位并正常工作。如果 Vdd 上升得非常快(50 ms 或更少)，额外的外部复位电路将工作的非常好。但是在涉及到关键应用的大多数情况下，可能需要额外的器件来辅助解决上电问题。

5.10 编程设置振荡器启动时间

代码选项字中的 SUT0 和 SUT1 可定义振荡器的启动时间。理论上，启动时间范围在 4.5ms 到 72ms。对于大多数晶体和陶瓷谐振器，工作频率越低，所需的启动时间越长。表 12 显示了振荡器启动时间值。

5.11 外部上电复位电路

下图提供了一个利用外部 RC 电路产生复位脉冲的电路。脉冲宽度(时间常数)应该足够长以使 Vdd 达到最低工作电压。此电路用在供电电压上升很慢的情况。

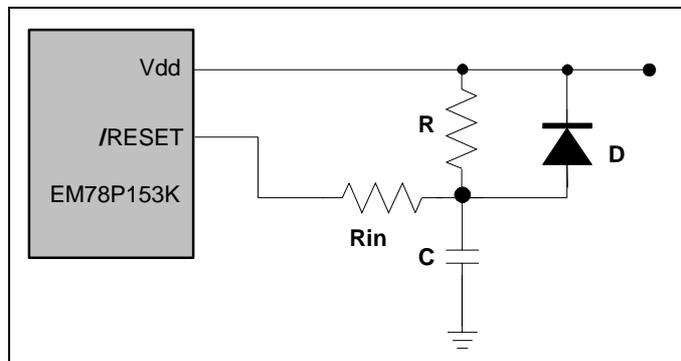


图 5-14 外部电源复位电路

因为 /RESET 引脚的漏电流大约为 $\pm 5\mu\text{A}$ ，因此建议 R 值不要大于 40 K Ω 。此时，/RESET 引脚电压保持在 0.2V 以下。二极管(D)在掉电时作为短路回路。电容 C 将快速充分放电。限流电阻 Rin 可防止高电流或 ESD（静电释放）灌入 /RESET 引脚。

5.12 残留电压保护

更换电池时，器件电源(Vdd)关断，但仍会存在残留电压。残留电压可能会掉到低于最小工作电压 Vdd，但不为零。此条件可能触发一个不良上电复位。下面两图显示了怎样为 EM78P153K 建立残留电压保护电路。

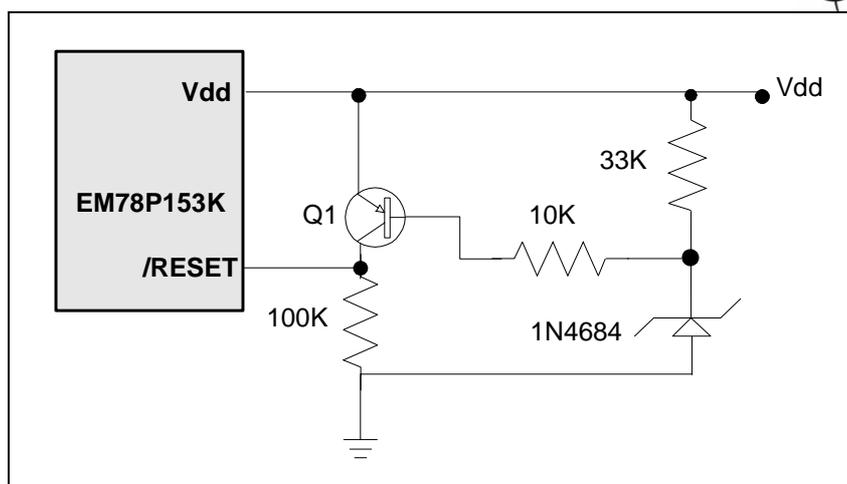


图 5-15 滤波电压保护电路1

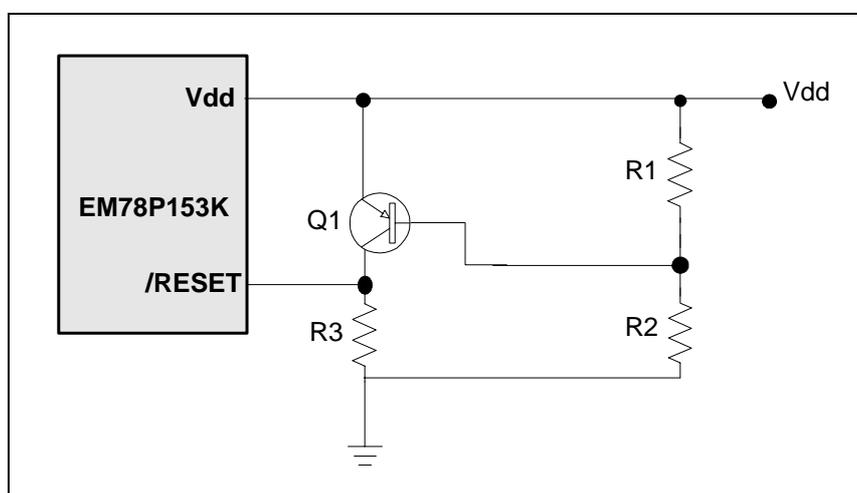


图 5-16 滤波电压保护电路2

注意

图5-15 和 图5-16是为了保证复位引脚电压大于 V_{IH} 的最小值而设计的。

5.13 指令集

指令集中的每条指令均是 13 位。指令分为一个操作码和一个或多个操作数。一般情况下，除非指令的执行改变了程序计数器的值("MOV R2,A", "ADD R2,A")或者对 R2 的算术或逻辑操作 (例如. "SUB R2,A", "BS (C) R2,6", "CLR R2",)，否则执行所有的指令都只占用单个指令周期（一个指令周期包含 2 个振荡周期）。对于前面两种特殊的指令，执行指令需要两个指令周期。

如果由于某种原因，指令周期不适合特定应用，可尝试做如下修改：

- (A) 改变指令周期为包含 4 个振荡周期。
- (B) 在两个指令周期内执行, "JMP", "CALL", "RET", "RETL", "RETI"或条件测试结果为“真”的条件转移指令("JBS", "JBC", "JZ", "JZA", "DJZ", "DJZA")和向程序计数器写入的指令的执行均占用两个指令周期。

事件(A) 可通过设置代码选项位——CLK 来选择，如果 CLK 为“0”，则一个指令周期包含两个振荡周期；如果 CLK 为“1”，则一个指令周期包含 4 个振荡周期。

注意：一旦在事件(A)中选择一个指令周期包含 4 个振荡周期，TCC 的内部时钟源应为 $CLK=Fosc/4$ ，而不是 $Fosc / 2$ 。

另外，指令集具有如下特性：

- (1) 任何寄存器的每个位都可被置 1、清零或直接测试。
- (2) I/O 寄存器可被当作通用寄存器。也就是，相同的指令可操作 I/O 寄存器。

以下符号在指令集表格中适用：

一般情况下：

“R” 表示一个寄存器指示符，用来指定指令操作哪个寄存器（包括操作寄存器和通用寄存器）。

“b” 表示一个位指示符，指定位于 R 寄存器中会影响操作的位。

“K” 代表一个 8 位或 10 位常数或立即数。

助记符	操作	受影响标志位
NOP	不作任何操作	无
DAA	累加器A十进制调整	C
CONTW	A → CONT	无
SLEP	0 → WDT, 振荡器停止	T, P
WDTC	0 → WDT	T, P

助记符	操作	受影响标志位
IOW R	A → IOCR	无 ¹
ENI	使能中断	无
DISI	禁止中断	无
RET	[[栈顶] → PC	无
RETI	[[栈顶] → PC, 使能中断	无
CONTR	CONT → A	无
IOR R	IOCR → A	无 ¹
MOV R, A	A → R	无
CLRA	0 → A	Z
CLR R	0 → R	Z
SUB A, R	R - A → A	Z, C, DC
SUB R, A	R - A → R	Z, C, DC
DECA R	R - 1 → A	Z
DEC R	R - 1 → R	Z
ORA, R	A ∨ R → A	Z
ORR, A	A ∨ R → R	Z
AND A, R	A & R → A	Z
AND R, A	A & R → R	Z
XOR A, R	A ⊕ R → A	Z
XOR R, A	A ⊕ R → R	Z
ADD A, R	A + R → A	Z, C, DC
ADD R, A	A + R → R	Z, C, DC
MOV A, R	R → A	Z
MOV R, R	R → R	Z
COMA R	/R → A	Z
COM R	/R → R	Z
INCA R	R + 1 → A	Z
INC R	R + 1 → R	Z
DJZA R	R - 1 → A, 执行结果为0, 跳过下一指令	无
DJZ R	R - 1 → R, 执行结果为0, 跳过下一指令	无

注意: ¹这条指令只对IOC5~IOC6, IOCB ~ IOCF 起作用。

(继续)

助记符	操作	受影响的状态位
RRCA R	$R(n) \rightarrow A(n-1), R(0) \rightarrow C, C \rightarrow A(7)$	C
RRC R	$R(n) \rightarrow R(n-1), R(0) \rightarrow C, C \rightarrow R(7)$	C
RLCA R	$R(n) \rightarrow A(n+1), R(7) \rightarrow C, C \rightarrow A(0)$	C
RLC R	$R(n) \rightarrow R(n+1), R(7) \rightarrow C, C \rightarrow R(0)$	C
SWAPA R	$R(0-3) \rightarrow A(4-7), R(4-7) \rightarrow A(0-3)$	无
SWAPR	$R(0-3) \leftrightarrow R(4-7)$	无
JZA R	$R+1 \rightarrow A$, 若加1后结果为0, 跳过下一指令	无
JZ R	$R+1 \rightarrow R$, 若加1后结果为0, 跳过下一指令	无
BC R, b	$0 \rightarrow R(b)$	无 ²
BS R, b	$1 \rightarrow R(b)$	无 ³
JBC R, b	if $R(b) = 0$, 跳过下一条指令	无
JBS R, b	if $R(b) = 1$, 跳过下一条指令	无
CALL k	$PC+1 \rightarrow [SP], (Page, k) \rightarrow PC$	无
JMP k	$(Page, k) \rightarrow PC$	无
MOV A, k	$k \rightarrow A$	无
OR A, k	$A \vee k \rightarrow A$	Z
AND A, k	$A \& k \rightarrow A$	Z
XOR A, k	$A \oplus k \rightarrow A$	Z
RETL k	$k \rightarrow A, [Top\ of\ Stack] \rightarrow PC$	无
SUB A, k	$K - A \rightarrow A$	Z, C, DC
INT	$PC+1 \rightarrow [SP], 001H \rightarrow PC$	无
ADD A, k	$K + A \rightarrow A$	Z, C, DC

 注意:²这条指令不建议用于操作RF寄存器

³这条指令不能操作RF寄存器

6 最大绝对值

项目	范围		
温度范围	-40°C	到	85°C
存储温度	-65°C	到	150°C
输入电压	V _{ss} -0.3V	到	V _{dd} +0.5V
输出电压	V _{ss} -0.3V	到	V _{dd} +0.5V
工作电压	2.1V	到	5.5V
工作频率	DC	到	20 MHz

注意：这些参数都是理论数据，未经测试。

7 电气特性

7.1 直流电气特性(Ta=25°C VDD= 5V, VSS= 0V)

符号	参数	条件	最小值	典型值	最大值	单位
FXT	晶体: VDD 到 2.3V	1条指令周期为2个时钟周期	DC	-	4.0	MHz
	晶体: VDD 到 3V	1条指令周期为2个时钟周期	DC	-	8.0	MHz
	晶体: VDD 到 5V	1条指令周期为2个时钟周期	DC	-	20.0	MHz
ERC	ERC: VDD 到 5V	R: 5KΩ, C: 39 pF	F±30%	1500	F±30%	KHz
IIL	输入引脚输入漏电流	VIN = VDD, VSS	-	-	±1	μA
VIH1	输入高电压(VDD=5.0V)	Ports 5, 6	2.0	-	-	V
VIL1	输入低电压(VDD=5.0V)	Ports 5, 6	-	-	0.8	V
VIHT1	输入高临界电压(VDD=5.0V)	/RESET, TCC (施密特触发)	2.0	-	-	V
VILT1	输入低临界电压(VDD=5.0V)	/RESET, TCC (施密特触发)	-	-	0.8	V
VIHX1	时钟输入高电压(VDD=5.0V)	OSCI	2.5	-	Vdd+0.3	V
VILX1	时钟输入低电压(VDD=5.0V)	OSCI	-	-	1.0	V
VIH2	输入高电压(VDD=3.0V)	Ports 5, 6	1.5	-	-	V
VIL2	输入低电压(VDD=3.0V)	Ports 5, 6	-	-	0.4	V
VIHT2	输入高临界电压(VDD=3.0V)	/RESET, TCC (施密特触发)	1.5	-	-	V
VILT2	输入低临界电压(VDD=3.0V)	/RESET, TCC (施密特触发)	-	-	0.4	V
VIHX2	时钟输入高电压 (VDD=3.0V)	OSCI	1.5	-	-	V
VILX2	时钟输入低电压(VDD=3.0V)	OSCI	-	-	0.6	V
VOH1	输出高电压(Port 6) (P60~P62, P66~P67为施密特触发)	IOH = -12.0 mA	2.4	-	-	V
VOL1	输出低电压(P50~P53, P60~P62, P66~P67)为施密特触发)	IOL = 16.0 mA	-	-	0.4	V
VOL2	输出低电压(P64,P65)	IOL = 25.0 mA	-	-	0.4	V
PH	上拉电流	激活上拉, 输入引脚接VSS	60	75	90	A
PD	下拉电流	激活下拉, 输入引脚接VDD	0	5	0	A
ISB1	省电电流	所有输入引脚和I/O引脚接VDD, 输出引脚悬空,WDT禁止	-	-	1	μA
ISB2	省电电流	所有输入引脚和I/O引脚接VDD, 输出引脚悬空,WDT使能	-	-	10	μA
ICC1	工作供电电流(VDD=3V)在2个CLKS	/RESET= '高', Fosc=32KHz (晶振类型,CLKS="0"),	-	15	30	μA

符号	参数	条件	最小值	典型值	最大值	单位
		输出引脚悬空, WDT 禁止				
ICC2	工作供电电流(VDD=3V) 在2个CLKS	/RESET= '高', Fosc=32KHz (晶振类 型,CLKS="0"), 输出引脚悬空, WDT 使能	-	19	35	μA
ICC3	工作供电电流(VDD=5.0V) 在2个CLKS	/RESET= '高', Fosc=4MHz (晶振类 型,CLKS="0"), 输出引脚悬空	-	-	2.0	mA
ICC4	工作供电电流(VDD=5.0V) 在2个CLKS	RESET= '高', Fosc=10MHz 晶振类 型,CLKS="0"), 输出引脚悬空	-	-	4.0	mA

注:* 这些参数为理论数据, 未经测试。

内部 RC 电气特性 (T_A = 25°C, V_{DD} = 5 V, V_{SS} = 0V)

内部 RC 频率选择 段	偏移率				
	温度	工作电压	最小值	典型值	最大值
4 MHz	25°C	5V	3.92 MHz	4 MHz	4.08 MHz
16 MHz	25°C	5V	15.68 MHz	16 MHz	16.32 MHz
8 MHz	25°C	5V	7.84 MHz	8 MHz	8.16 MHz
1 MHz	25°C	5V	0.98 MHz	1 MHz	1.02 MHz

内部 RC 电气特性 (制程,电压和温度偏差)

IRC 频率	偏差 (制程、工作电压和温度变化)				
	温度	工作电压	最小值	典型值	最大值
4 MHz	-40 ~ 85°C	2.1V ~ 5.5V	3.76 MHz	4 MHz	4.24 MHz
16 MHz	-40 ~ 85°C	4.0V ~ 5.5V	15.36 MHz	16 MHz	16.64 MHz
8 MHz	-40 ~ 85°C	3.0V ~ 5.5V	7.60 MHz	8 MHz	8.40 MHz
1 MHz	-40 ~ 85°C	2.1V ~ 5.5V	0.94 MHz	1 MHz	1.06 MHz

7.2 交流电气特性

(Ta=25°C, VDD=5V, VSS=0V)

符号	参数	条件	最小值	典型值	最大值	单位
Dclk	输入时钟的占空比	—	45	50	55	%
Tins	指令周期 (CLKS="0")	晶振类型	100	—	DC	ns
		RC 类型	500	—	DC	ns
Ttcc	TCC 输入时间周期	—	(Tins+20)/N*	—	—	ns
Tdrh	器件复位持续时间	XAL,SUT1,SUT0=1 1	17.6-30%	17.6	17.6+30%	ms
Trst	/RESET 脉冲宽度	—	2000	—	—	ns
Twdt1	看门狗定时器时间周期	SUT1,SUT0=1,1	17.6-30%	17.6	17.6+30%	ms
Twdt2	看门狗定时器时间周期	SUT1,SUT0=1,0	4.5-30%	4.5	4.5+30%	ms
Twdt3	看门狗定时器时间周期	SUT1,SUT0=0,1	288-30%	288	288+30%	ms
Twdt4	看门狗定时器时间周期	SUT1,SUT0=0,0	72-30%	72	72+30%	ms
Tset	输入引脚启动时间	—	—	0	—	ns
Thold	输入引脚保持时间	—	—	20	—	ns
Tdelay	输出引脚延迟时间	Cload=20pF	—	50	—	ns

注: 这些参数为理论值, 未经测试。

看门狗定时器的持续时间有代码选项(Bit 6, Bit 5)定义

*N = 所选预分频比

*Twdt1: 代码选项字(SUT1,SUT0)用于定义振荡器启动时间。在晶振模式下, WDT溢出周期等于启动时间(18ms)。

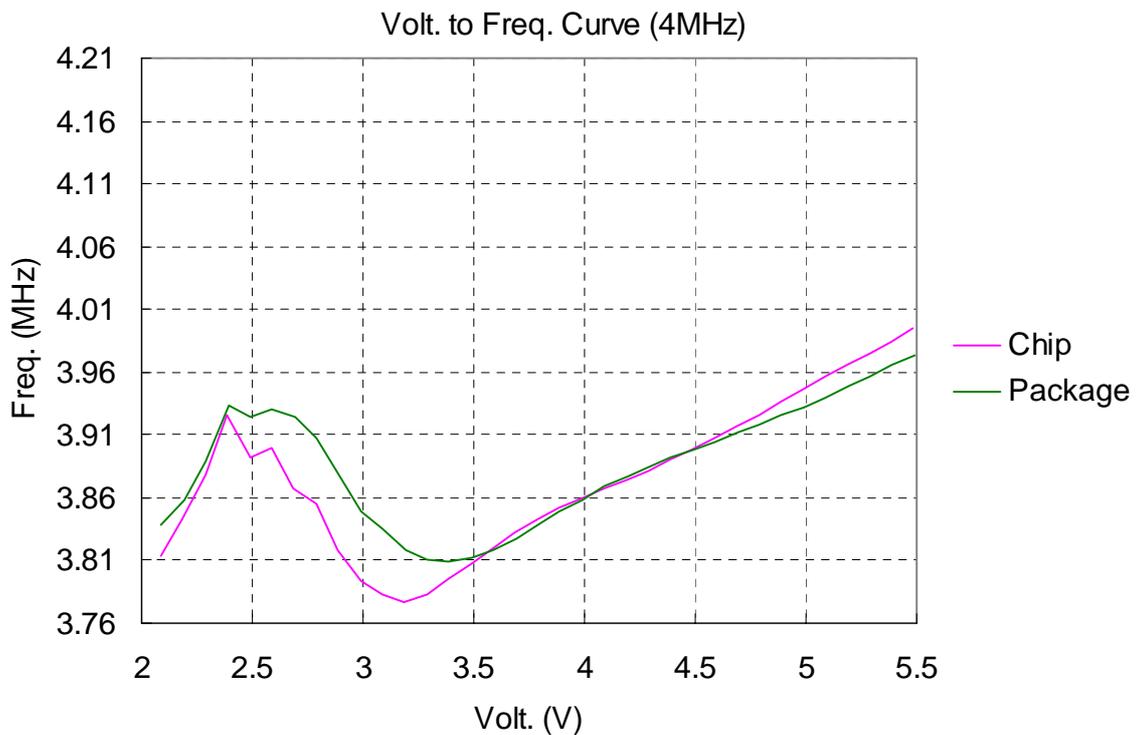
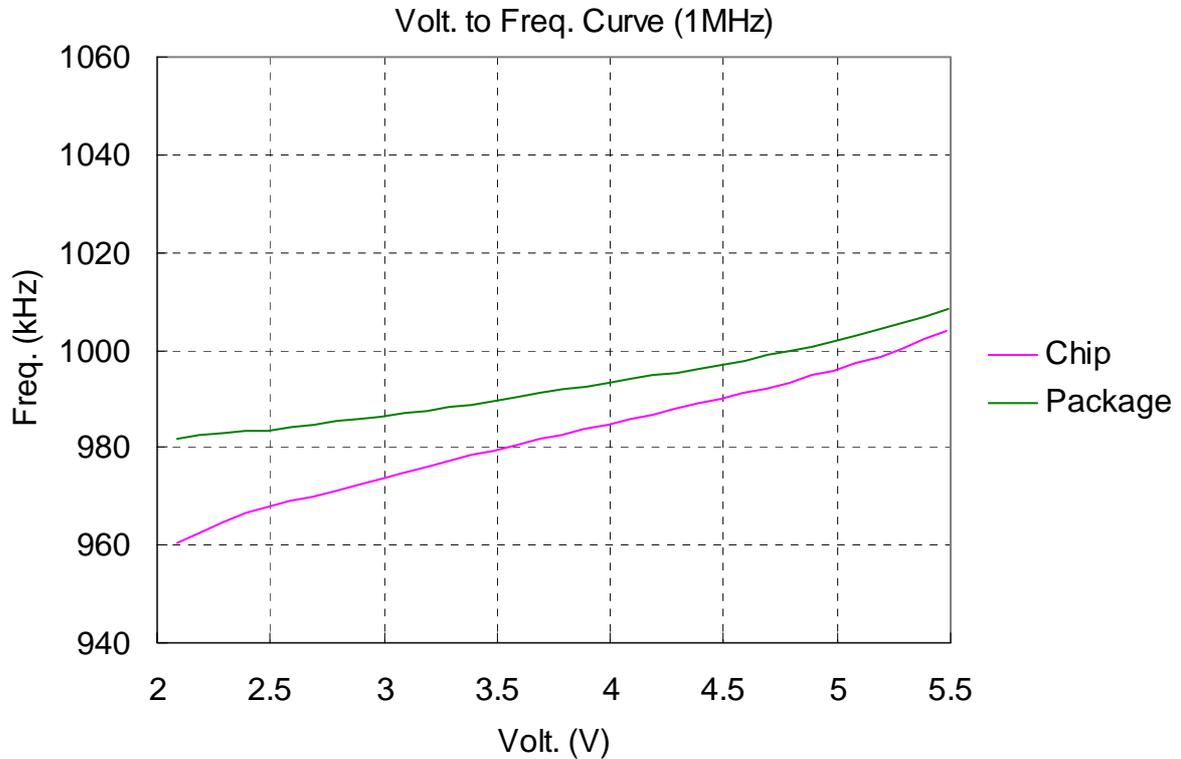
*Twdt2: 代码选项字(SUT1,SUT0)用于定义振荡器启动时间。在晶振模式下, WDT溢出周期等于启动时间(4.5ms)

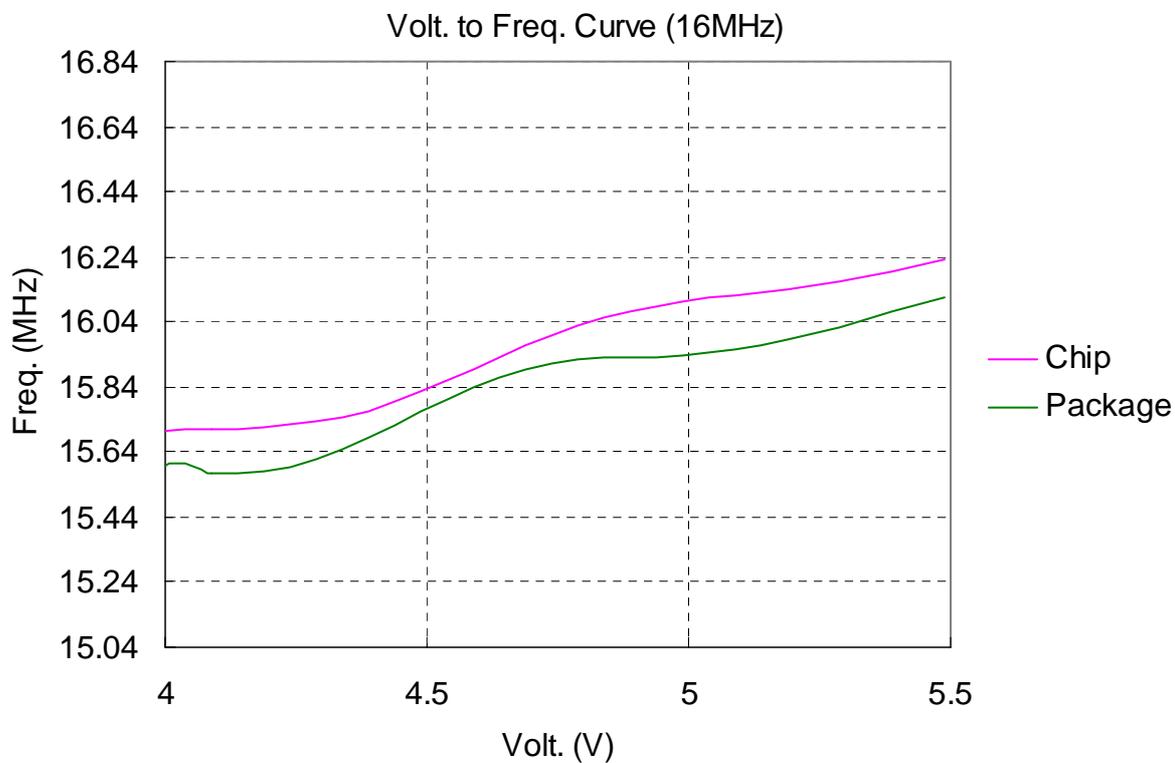
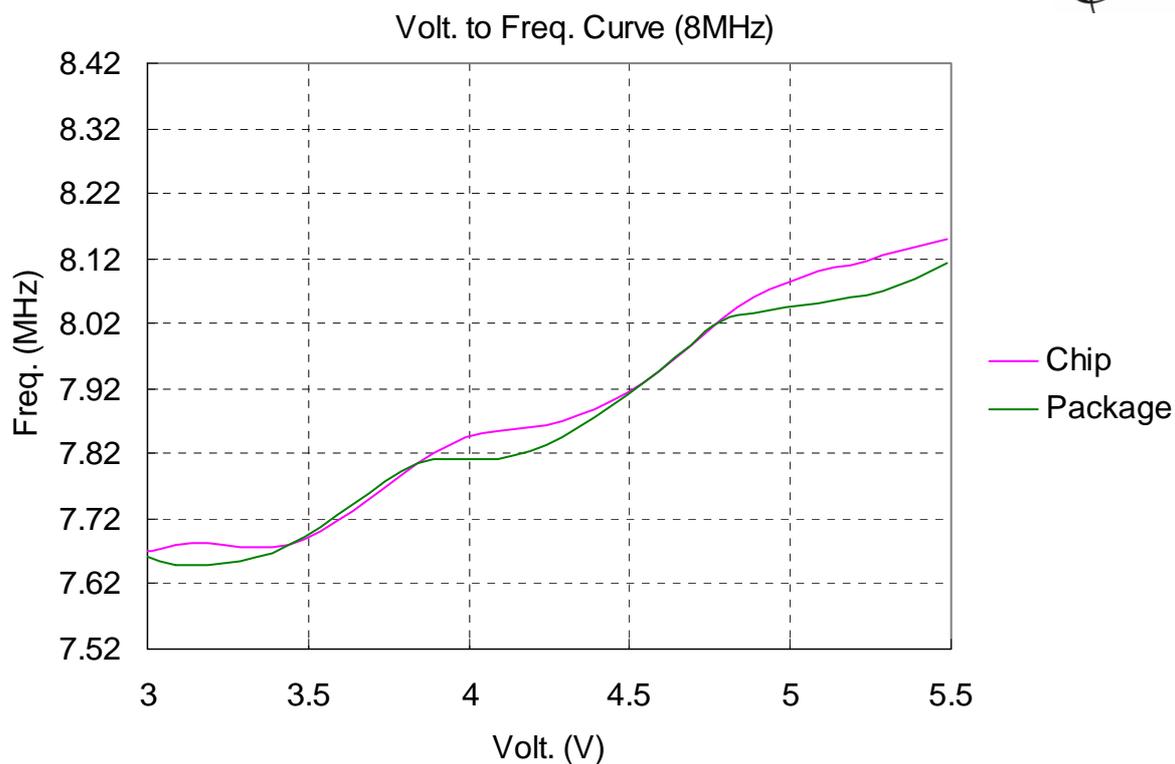
*Twdt3: 代码选项字(SUT1,SUT0)用于定义振荡器启动时间。在晶振模式下, WDT溢出周期等于启动时间(288ms)

*Twdt4: 代码选项字(SUT1,SUT0)用于定义振荡器启动时间。在晶振模式下, WDT溢出周期等于启动时间(72ms)。

7.3 器件特性

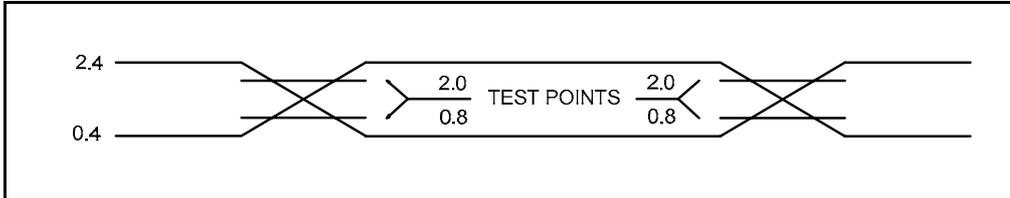
以下所列图所示特性取自有限的样品，并不保证它的准确性，在此仅作参考。有些图片所示数据可能超出规格指定的工作范围。





8 时序图

AC 测试输入/输出波形



注意:AC 测试: 输入为 2.4V 代表逻辑“1”, 0.4V 代表逻辑“0”,
 时序测量以 2.0V 代表逻辑“1”, 0.8V 代表“0”。

图 8-1a AC测试输入/输出波形时序图

复位时序 (CLK = "0")

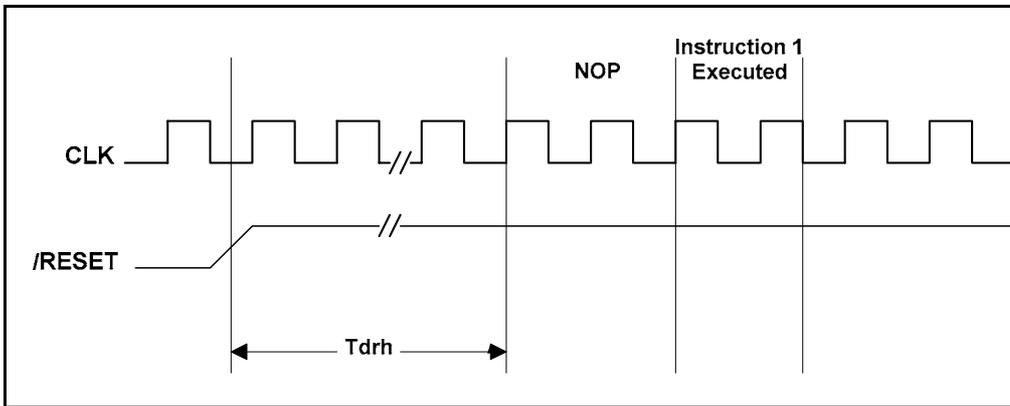


图 8-1b 复位时序图

TCC输入时隙 (CLKS = "0")

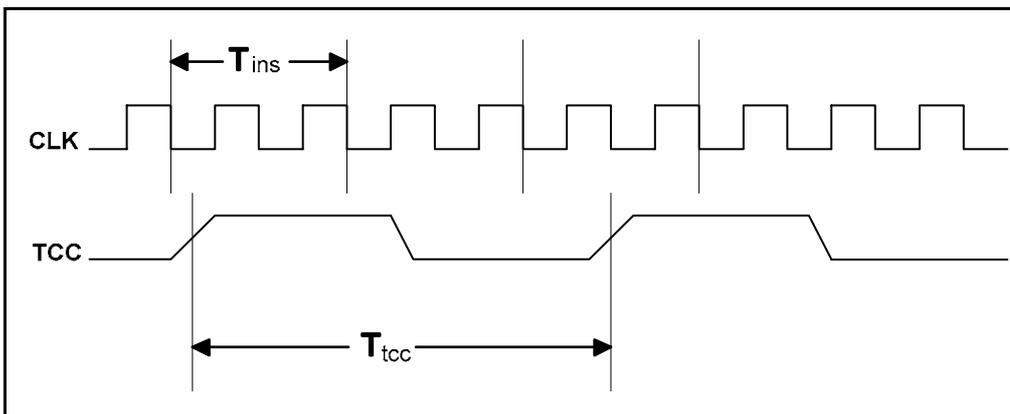
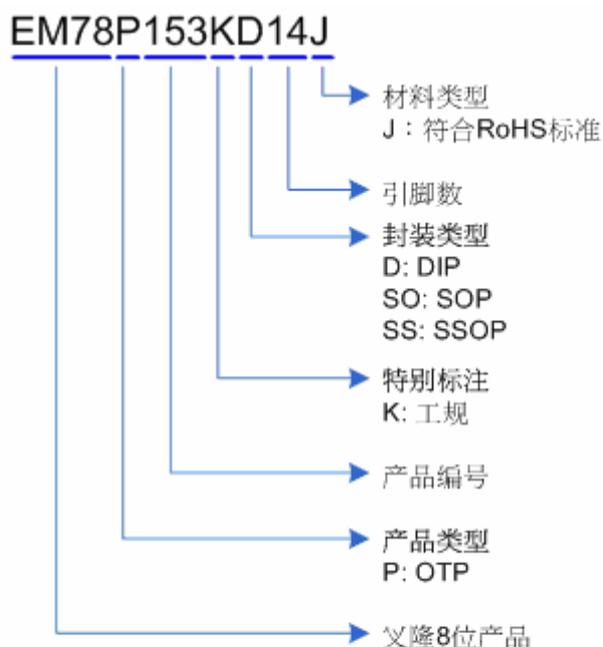


图 8-1c TCC 输入时序图

附录

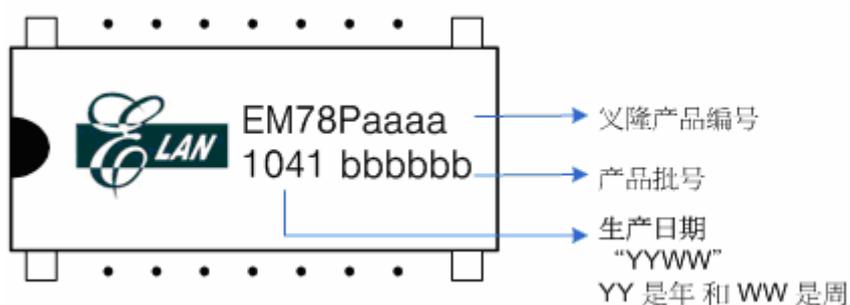
A 产品排序信息



例如:

EM78P153KSO14J

EM78P153K 是 OTP 程序存储器, 符合RoHS标准的 SOP 300mil 封装
14引脚工规产品



B 封装类型

OTP 微处理器	封装类型	引脚数	封装尺寸
EM78P153KD14J	DIP	14	300 mil
EM78P153KSO14J	SOP	14	150 mil
EM78P153KSS10J	SSOP	10	150 mil

产品代码 "J".

绿色产品符合 RoHS 标准

项目	EM78P153KD14J/SO14J/SS10J
电镀类型	纯锡
成份 (%)	Sn: 100%
熔点(°C)	232°C
电阻率 ($\mu\Omega\text{-cm}$)	11.4
硬度(hv)	8~10
伸长 (%)	>50%

C 封装信息

14-引脚塑封双列直插封装(PDIP) — 300 mil

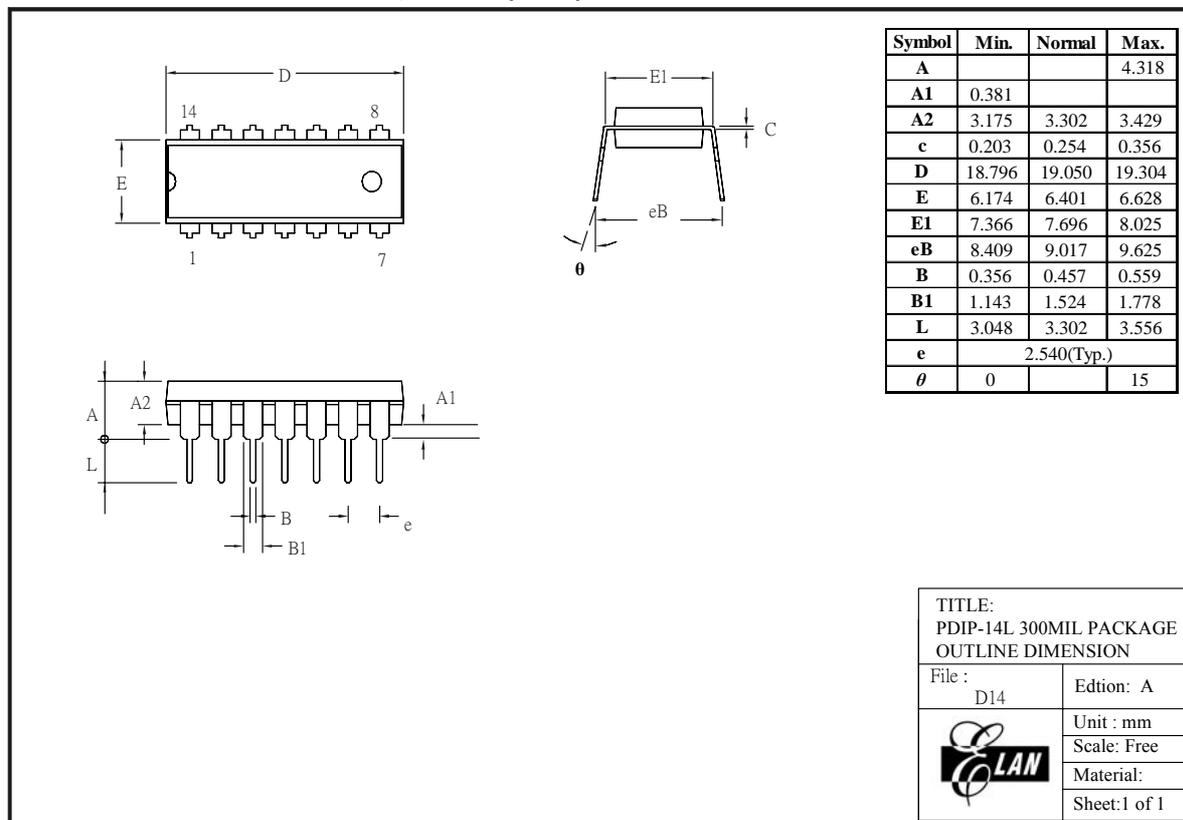


图 C-1a EM78P153K 14-引脚 DIP 封装类型

14-引脚塑封小外形封装(SOP) — 150 mil

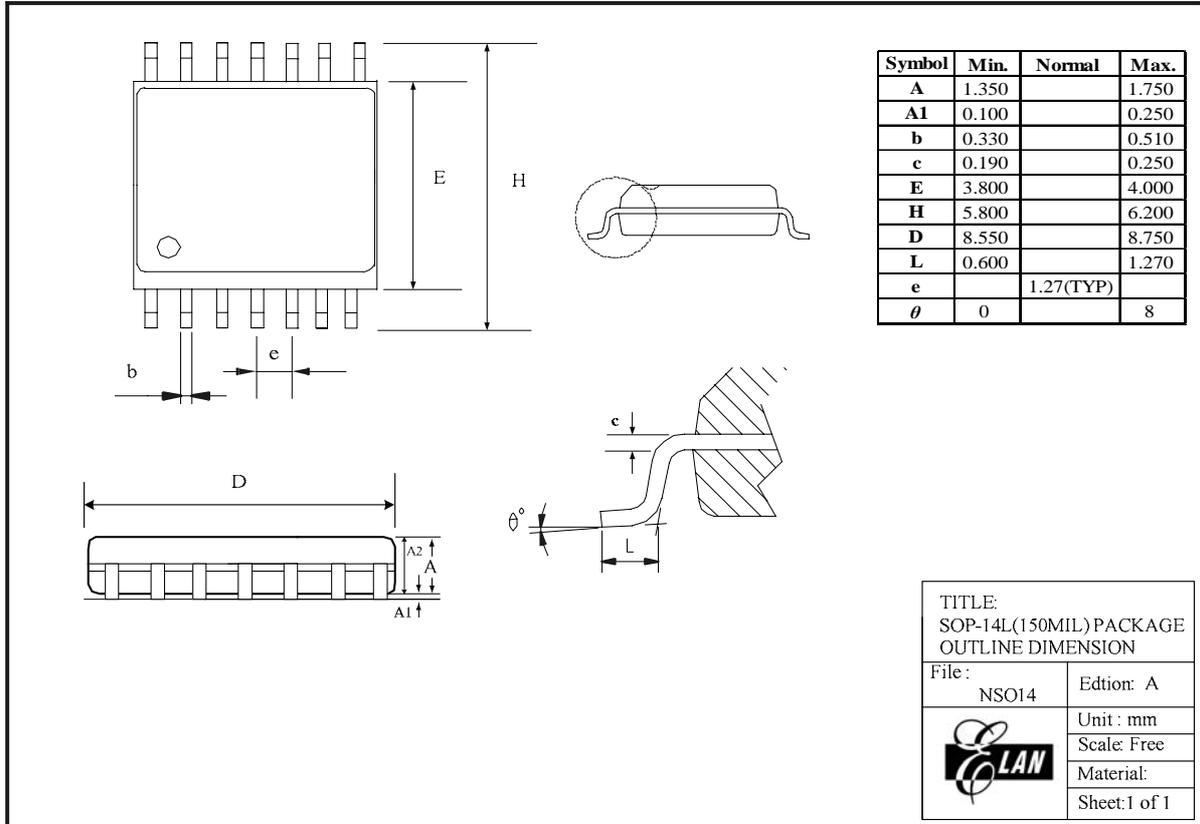


图 C-1b EM78P153K 14-引脚 SOP 封装类型

10-引脚塑封缩小外形封装 (SSOP) – 150mil

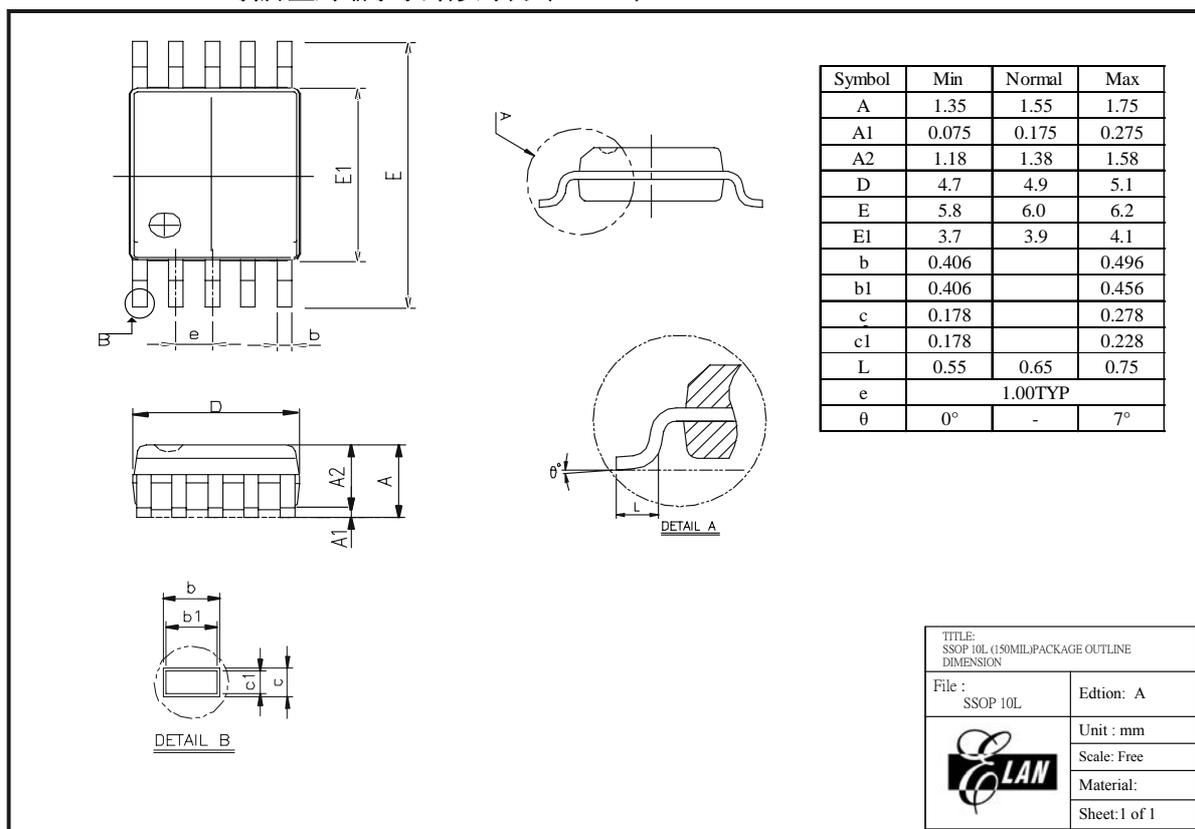


图 C-1c EM78P153K 10-引脚 SSOP 封装类型