
EM78P156EL

**8-Bit Microcontroller
with OTP ROM**

**Product
Specification**

Doc. VERSION 1.3

ELAN MICROELECTRONICS CORP.

July 2004



Trademark Acknowledgments:

IBM is a registered trademark and PS/2 is a trademark of IBM.

Windows is a trademark of Microsoft Corporation.

ELAN and ELAN logo  are trademarks of ELAN Microelectronics Corporation.

Copyright © 2005 by **ELAN Microelectronics Corporation**

All Rights Reserved

Printed in Taiwan

The contents of this specification are subject to change without further notice. ELAN Microelectronics assumes no responsibility concerning the accuracy, adequacy, or completeness of this specification. ELAN Microelectronics makes no commitment to update, or to keep current the information and material contained in this specification. Such information and material may change to conform to each confirmed order.

In no event shall ELAN Microelectronics be made responsible for any claims attributed to errors, omissions, or other inaccuracies in the information or material contained in this specification. ELAN Microelectronics shall not be liable for direct, indirect, special incidental, or consequential damages arising from the use of such information or material.

The software (if any) described in this specification is furnished under a license or nondisclosure agreement, and may be used or copied only in accordance with the terms of such agreement.

ELAN Microelectronics products are not intended for use in life support appliances, devices, or systems. Use of ELAN Microelectronics product in such applications is not supported and is prohibited.

NO PART OF THIS SPECIFICATION MAY BE REPRODUCED OR TRANSMITTED IN ANY FORM OR BY ANY MEANS WITHOUT THE EXPRESS WRITTEN PERMISSION OF ELAN MICROELECTRONICS.



ELAN MICROELECTRONICS CORPORATION

Headquarters:

No. 12, Innovation Road 1
Hsinchu Science Park
Hsinchu, Taiwan 30077
Tel: +886 3 563-9977
Fax: +886 3 563-9966
<http://www.emc.com.tw>

Hong Kong:

Elan (HK) Microelectronics Corporation, Ltd.
Rm. 1005B, 10/F Empire Centre
68 Mody Road, Tsimshatsui
Kowloon, HONG KONG
Tel: +852 2723-3376
Fax: +852 2723-7780
elanhk@emc.com.hk

USA:

Elan Information Technology Group
1821 Saratoga Ave., Suite 250
Saratoga, CA 95070
USA
Tel: +1 408 366-8223
Fax: +1 408 366-8220

Europe:

Elan Microelectronics Corp. (Europe)

Siewerdstrasse 105
8050 Zurich, SWITZERLAND
Tel: +41 43 299-4060
Fax: +41 43 299-4079
<http://www.elan-europe.com>

Shenzhen:

Elan Microelectronics Shenzhen, Ltd.

SSMEC Bldg., 3F, Gaoxin S. Ave.
Shenzhen Hi-Tech Industrial Park
Shenzhen, Guangdong, CHINA
Tel: +86 755 2601-0565
Fax: +86 755 2601-0500

Shanghai:

Elan Microelectronics Shanghai Corporation, Ltd.

23/Bldg. #115 Lane 572, Bibo Road
Zhangjiang Hi-Tech Park
Shanghai, CHINA
Tel: +86 021 5080-3866
Fax: +86 021 5080-4600

Contents

1	概括描述.....	1
2	性能特点.....	1
3	引脚分配.....	2
4	功能描述.....	4
4.1	操作寄存器.....	5
4.1.1	R0 (间接地址寄存器).....	5
4.1.2	R1 (定时器 /计数器).....	5
4.1.3	R2 (程序计数器)和堆栈.....	5
4.1.4	R3 (状态寄存器).....	7
4.1.5	R4 (RAM 选择寄存器).....	7
4.1.6	R5 ~ R6 (Port 5 ~ Port 6).....	7
4.1.7	RF (中断状态寄存器).....	7
4.1.8	R10 ~ R3F.....	8
4.2	特殊功能寄存器.....	8
4.2.1	A (累加器).....	8
4.2.2	CONT (控制寄存器).....	8
4.2.3	IOC5 ~ IOC6 (I/O 口控制寄存器).....	9
4.2.4	IOCA (预分频器控制寄存器).....	9
4.2.5	IOCB (下拉控制寄存器).....	9
4.2.6	IOCC (漏极开路控制寄存器).....	10
4.2.7	IOCD (上拉控制寄存器).....	10
4.2.8	IOCE (WDT 控制寄存器).....	11
4.2.9	IOCF (中断屏蔽寄存器).....	11
4.3	TCC/WDT 和预分频器.....	12
4.4	I/O 端口.....	13
4.5	复位和唤醒.....	16
4.5.1	复位.....	16
4.5.2	状态寄存器 RST, T, 和 P 的状态.....	20
4.6	中断.....	21
4.7	振荡器.....	22
4.7.1	振荡器模式.....	22
4.7.2	晶体振荡器/陶瓷振荡器 (XTAL).....	23
4.7.3	外部 RC 振荡器模式.....	24
4.8	代码选择寄存器.....	25
4.9	关于上电的问题.....	26
4.10	外部上电复位电路.....	27



4.11 残存电压保护..... 27

4.12 指令集..... 28

4.13 时序图..... 31

5 绝对最大范围..... 32

6 电气特性..... 32

6.1 直流 (DC) 电气特性..... 32

6.2 交流 (AC) 电气特性..... 33

6.3 IC 特性..... 34

附录

A 封装类型:..... 44

B 封装信息..... 44

Specification Revision History

Doc. Version	Revision Description	Date
1.0	Initial version	
1.1	Change set up time period	04/19/2002
1.2	Change Power on reset content Change ISB1 & ICC3 current range	07/01/2003
1.3	Add the Device Characteristic at section 6.3	07/29/2004

1 概括描述

EM78P156EL是采用低功耗、高速CMOS工艺设计开发的8位单片机。其内部有1K×13位可一次编程的ROM (OTP-ROM)。它提供6个选择位以满足用户的需要，其中的保护位可以防止OTP-ROM中的用户程序被读取。

由于具有OTP-ROM，用户可以用EM78P156EL方便地开发和校验自己的程序，并能使用EMC Writer将程序代码写入芯片。

2 性能特点

- 工作电压范围：2.3V~5.5V。
- 工作温度范围：0°C~70°C。
- 工作频率范围 (基于2个 clocks)：
 - 晶振模式：DC~20MHz (5V)，DC~8MHz (3V)，DC~4MHz (2.3V)。
 - ERC模式：DC~4MHz (5V)，DC~4MHz (3V)，DC~4MHz (2.3V)。
- 低功耗：
 - 5V/4MHz工作条件下电流小于2.0 mA。
 - 3V/32KHz工作条件下电流典型值为15 μA。
 - 睡眠模式下电流典型值为1 μA。
- 1K × 13 位片内ROM。
- 一个安全寄存器保证程序不被读出。
- 一个配置寄存器满足用户要求。
- 48×8位片内寄存器 (SRAM通用寄存器)。
- 2组双向 I/O 端口。
- 5级堆栈。
- 8位实时定时器/计数器(TCC)，可由软件选择其信号源、触发沿和溢出是否中断。
- 每个指令周期为2个时钟周期。
- 省电模式(SLEEP模式)。
- 3个中断源。
 - TCC 溢出中断。
 - 输入引脚状态变化中断 (从睡眠模式唤醒)。
 - 外部中断。
- 可编程自由运行看门狗定时器 (WDT)。
- 8个可编程上拉I/O引脚

- 7个可编程下拉I/O引脚
- 8个可编程漏极开路I/O引脚
- 2个可编程R-option功能I/O引脚
- 封装形式：
 - 18 引脚 DIP 300mil : EM78P156ELP
 - 18 引脚 SOP 300mil : EM78P156ELM
 - 20引脚 SSOP 209mil : EM78P156ELAS
 - 20 引脚 SSOP 209mil : EM78P156ELKM
- 99.9% 指令为单周期指令。
- 系统高低频率分界点为400KHz。

3 引脚分配

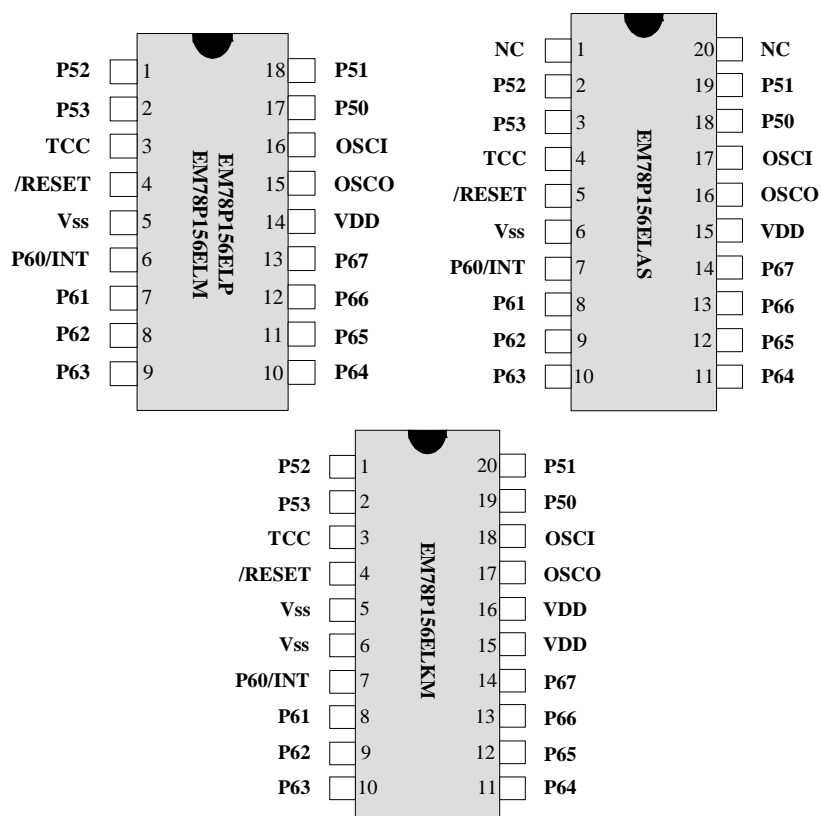


图 1 引脚分配

表 1 EM78P156ELP 和 EM78P156ELM 引脚描述

Symbol	Pin No.	Type	Function
VDD	14	-	* 电源
OSCI	16	I	* XTAL 型：晶振或外部时钟输入端 * ERC 型：RC 振荡器输入端
OSCO	15	I/O	* XTAL 型：晶振输出或外部时钟输入端 * RC 型：指令时钟输出端 * 外部时钟信号输入
TCC	3	I	* 实时定时计数器（斯密特触发）输入引脚，不用时必须与 VDD 或 VSS 连接。
/RESET	4	I	* 斯密特触发器输入端，若该引脚保持低电平，其控制器也将保持在复位状态。
P50~P53	17, 18, 1, 2	I/O	* P50~P53 是双向 I/O 引脚 * P50 和 P51 也可定义为 R-option 引脚 * P50~P52 可由软件设为下拉
P60~P67	6~13	I/O	* P60~P67 是双向 I/O 引脚 * 都可由软件设为上拉或漏极开路 * P60~P63 可由软件设为下拉
/INT	6	I	* 外部中断引脚，下降沿触发
VSS	5	-	* 地

表 2 EM78P156ELAS 引脚描述

Symbol	Pin No.	Type	Function
VDD			* 电源
OSCI			* XTAL 型：晶振或外部时钟输入端 * ERC 型：RC 振荡器输入端
OSCO			* XTAL 型：晶振输出或外部时钟输入端 * RC 型：指令时钟输出端 * 外部时钟信号输入
TCC			* 实时定时计数器（斯密特触发）输入引脚，不用时必须与 VDD 或 VSS 连接。
/RESET			* 斯密特触发器输入端，若该引脚保持低电平，其控制器也将保持在复位状态。
P50~P53			* P50~P53 是双向 I/O 引脚 * P50 和 P51 也可定义为 R-option 引脚 * P50~P52 可由软件设为下拉
P60~P67			* P60~P67 是双向 I/O 引脚 * 都可由软件设为上拉或漏极开路 * P60~P63 可由软件设为下拉
/INT			* 外部中断引脚，下降沿触发
VSS			* 地

表 3 EM78P156ELKM Pin Description

Symbol	Pin No.	Type	Function
VDD	15,16	-	* 电源
OSCI	18	I	* XTAL 型：晶振或外部时钟输入端 * ERC 型：RC 振荡器输入端
OSCO	17	I/O	* XTAL 型：晶振输出或外部时钟输入端 * RC 型：指令时钟输出端 * 外部时钟信号输入
TCC	3	I	* 实时定时计数器（斯密特触发）输入引脚，不用时必须与 VDD 或 VSS 连接。
/RESET	4	I	* 斯密特触发器输入端，若该引脚保持低电平，其控制器也将保持在复位状态。
P50~P53	19, 20, 1, 2	I/O	* P50~P53 是双向 I/O 引脚 * P50 和 P51 也可定义为 R-option 引脚 * P50~P52 可由软件设为下拉
P60~P67	7~14	I/O	* P60~P67 是双向 I/O 引脚 * 都可通过软件设为上拉或漏极开路 * P60~P63 可由软件设为下拉
/INT	7	I	* 外部中断引脚，下降沿触发
VSS	5, 6	-	* 地

4 功能描述

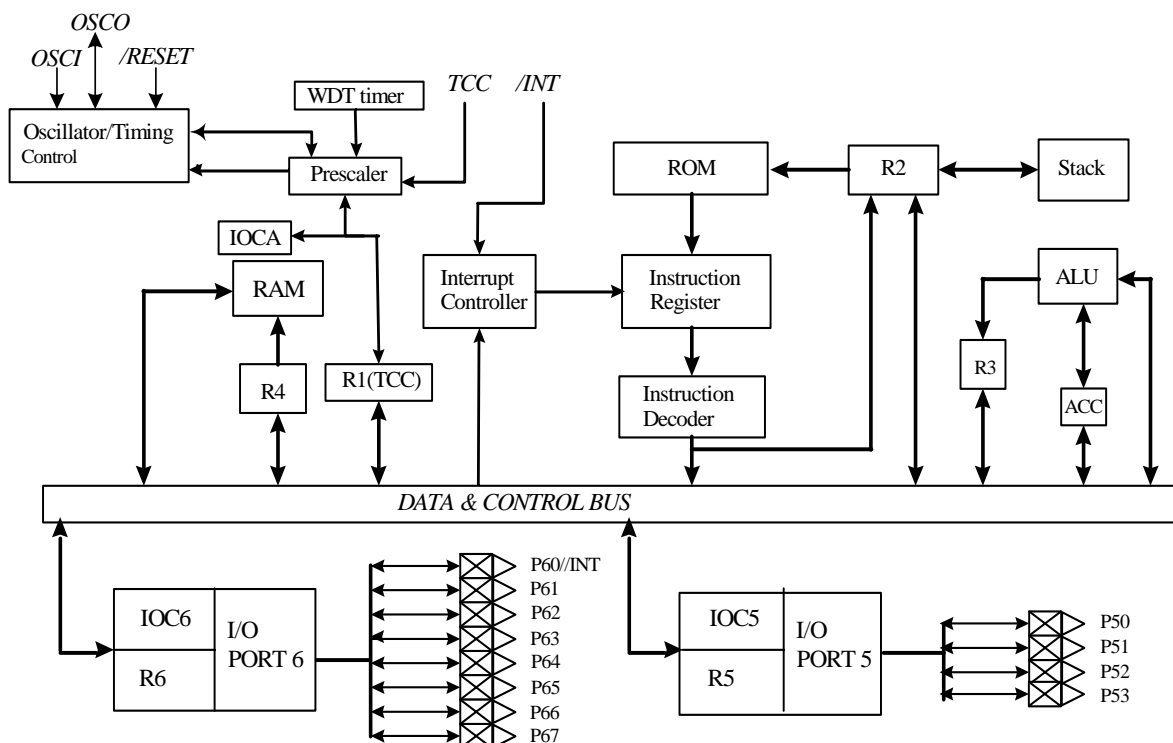


图 2 功能模块图

4.1 操作寄存器

4.1.1 R0 (间接地址寄存器)

R0 并非实际存在的寄存器。它的主要功能是作为间接寻址指针。任何使用R0的指令实际上是对RAM选择寄存器R4所指的数据进行操作。

4.1.2 R1 (定时器/计数器)

- 由TCC引脚的外部信号边沿（由CONT-4：TE设定）或指令周期时钟触发加1操作。
- 可读写
- 通过设置PAB(CONT-3)来定义。
- 如果PAB位(CONT-3)被清零，可将预分频器分配给TCC。
- 只有当给TCC寄存器赋值时，预分频计数器的内容被清零。

4.1.3 R2 (程序计数器)和堆栈

- 根据控制器的类型，R2和硬件堆栈为10位宽。参见图3所示的程序计数器结构图。
- 产生1024×13位片内OTP ROM地址以获取对应的程序指令编码。一个程序页是1024字长。
- 复位后R2所有位被清零。
- "JMP"指令直接装载R2低10位值。因此JMP指令跳转范围是在一个程序页面之内。
- "CALL"指令装载PC的低10位值，并将PC+1的值入栈。因此子程序的入口地址可在同一程序页内任意地址。
- "RET" ("RETL k", "RETI")指令将栈顶的数据装载到PC中。
- "ADD R2, A"允许把A的内容加到当前PC上，同时PC的第9位和第10位被清零。
- "MOV R2, A"允许将A寄存器的内容装载到PC的低8位，同时PC的第9位和第10位被清零。
- 任何对R2进行直接修改的指令（如："ADD R2,A", "MOV R2,A", "BC R2,6",.....）都会使PC的第9、10位清零，因此产生的跳转只限于同一程序页前256个地址。
- 除了改变R2的指令需要2个指令周期外，其余的指令只需要一个指令周期。

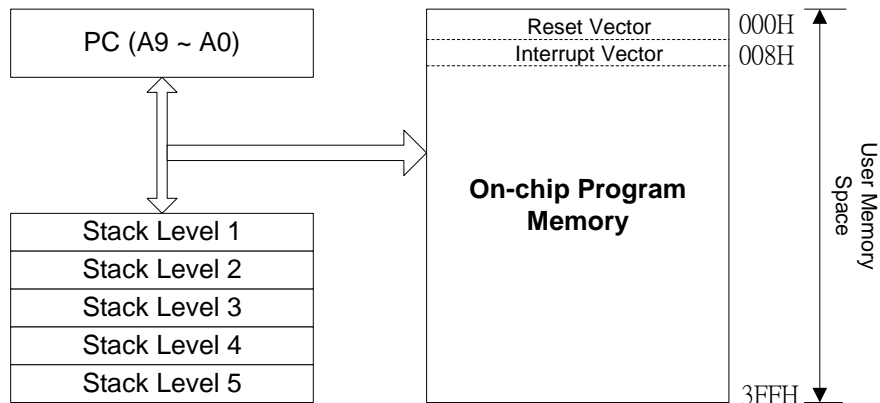


图 3 程序计数器结构图

Address	R PAGE registers	IOC PAGE registers
00	R0 (IAR)	Reserve
01	R1 (TCC)	CONT (Control Register)
02	R2 (PC)	Reserve
03	R3 (Status)	Reserve
04	R4 (RSR)	Reserve
05	R5 (Port5)	IOC5 (I/O Port Control Register)
06	R6 (Port6)	IOC6 (I/O Port Control Register)
07	Reserve	Reserve
08	Reserve	Reserve
09	Reserve	Reserve
0A	Reserve	IOCA (Prescaler Control Register)
0B	Reserve	IOCB (Pull-down Register)
0C	Reserve	IOCC (Open-drain Control)
0D	Reserve	IOCD (Pull-high Control Register)
0E	Reserve	IOCE (WDT Control Register)
0F	RF (Interrupt Status)	IOCF (Interrupt Mask Register)
10 : 3F	General Registers	

图 4 数据存储结构图

4.1.4 R3 (状态寄存器)

7	6	5	4	3	2	1	0
GP2	GP1	GP0	T	P	Z	DC	C

第0位 (C) 进位标志。

第1位 (DC) 辅助进位标志。

第2位 (Z) 零标志位。

当算术运算或逻辑运算的结果为0时，该位置1。

第3位 (P) 低功耗位。

执行 "WDTC" 指令或上电后该位置1，执行 "SLEP" 指令后该位清零。

第4位 (T) 时间溢出位。

执行 "SLEP" 和 "WDTC" 指令或上电后该位置1，当 WDT 溢出时清零。

第5~7位 (GP0~2) 通用读写位。

4.1.5 R4 (RAM 选择寄存器)

第0~5位 在间接寻址方式中用于选择寄存器(地址：00~06，0F~3F)。

第6~7位 未被使用(只读)。

第6~7位 一直置为1。

当R4的内容为“3F”时，R3的零标志位将被置1，当 R4=R4+1，R4 的内容将要选择作为 R0。

参见图4 数据存储结构图。

4.1.6 R5 ~ R6 (Port 5 ~ Port 6)

R5 和 R6 是输入/输出寄存器。

R5只有低4位有效。

4.1.7 RF (中断状态寄存器)

7	6	5	4	3	2	1	0
-	-	-	-	-	EXIF	ICIF	TCIF

“1”表示有中断申请，“0”表示没有中断发生。

第0位 (TCIF) TCC 溢出中断标志。当 TCC 溢出时置1，软件清零。

第1位 (ICIF) P6 口输入状态变化中断标志。P6 口输入变化置1，软件清零。

第2位 (EXIF) 外部中断标志。由 /INT 引脚的下降沿置1，软件清零。

第3~7位 未用。

RF 可通过指令清零，但不能置1。

IOCF 是中断屏蔽寄存器。

注意：读出的RF的值是 RF和 IOCF逻辑与的结果。

4.1.8 R10 ~ R3F

全部是8位通用寄存器。

4.2 特殊功能寄存器

4.2.1 A (累加器)

用于内部数据传输，或指令操作数保持。

不可寻址。

4.2.2 CONT (控制寄存器)

7	6	5	4	3	2	1	0
-	/INT	TS	TE	PAB	PSR2	PSR1	PSR0

第0位 ~ 第2位(PSR0~ PSR2) 是TCC/WDT 预分频位。

PSR2	PSR1	PSR0	TCC Rate	WDT Rate
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

第3位(PAB) 预分频器分配位。

0：预分频器给TCC

1：预分频器给WDT

第4位(TE) TCC 信号沿选择位。

0：当TCC引脚发生由低到高的变化时R1 加1。

1：当TCC引脚发生由高到低的变化时R1 加1。

第5位(TS) TCC 信号源选择位。

0：内部指令周期时钟。

1：TCC引脚输入。

第 6 位(/INT) 中断允许标志。

0：由DISI指令或硬件屏蔽中断。

1：由 ENI/RETI 指令允许中断。

第 7 位 未用。

CONT 寄存器可读写。

4.2.3 IOC5 ~ IOC6 (I/O 口控制寄存器)

■ "1" 定义相关 I/O 引脚为高阻输入状态，"0" 定义相关 I/O 引脚为输出。

■ IOC5 仅低 4 位可定义。

■ IOC5 和 IOC6 寄存器都是可读可写的。

4.2.4 IOCA (预分频器控制寄存器)

■ IOCA 寄存器是可读的。

■ IOCA 的值等于预分频计数器的内容。

■ 减计数器。

4.2.5 IOCB (下拉控制寄存器)

7	6	5	4	3	2	1	0
/PD7	/PD6	/PD5	/PD4	-	/PD2	/PD1	/PD0

第 0 位(/PD0) 使能 P50 引脚为下拉状态的控制位。

0：使能内部下拉。

1：禁止内部下拉。

第 1 位(/PD1) 使能 P51 引脚为下拉状态的控制位。

第 2 位(/PD2) 使能 P52 引脚为下拉状态的控制位。

第 3 位 未用。

第 4 位Bit 4 (/PD4) 使能 P60 引脚为下拉状态的控制位。

第 5 位Bit 5 (/PD5) 使能 P61 引脚为下拉状态的控制位。

第 6 位Bit 6 (/PD6) 使能 P62 引脚为下拉状态的控制位。

第 7 位Bit 7 (/PD7) 使能 P63 引脚为下拉状态的控制位。

IOCB 寄存器是可读可写的。

4.2.6 IOCC (漏极开路控制寄存器)

7	6	5	4	3	2	1	0
OD7	OD6	OD5	OD4	OD3	OD2	OD1	OD0

第 0 位(OD0) 使能P60引脚为漏极开路状态的控制位。

0：禁止漏极开路输出。

1：使能漏极开路输出。

第 1 位(OD1) 使能P61引脚为漏极开路状态的控制位。

第 2 位(OD2) 使能P62引脚为漏极开路状态的控制位。

第 3 位(OD3) 使能P63引脚为漏极开路状态的控制位。

第 4 位(OD4) 使能P64引脚为漏极开路状态的控制位。

第 5 位(OD5) 使能P65引脚为漏极开路状态的控制位。

第 6 位(OD6) 使能P66引脚为漏极开路状态的控制位。

第 7 位(OD7) 使能P67引脚为漏极开路状态的控制位。

IOCC 寄存器是可读可写的。

4.2.7 IOCD (上拉控制寄存器)

7	6	5	4	3	2	1	0
/PH7	/PH6	/PH5	/PH4	/PH3	/PH2	/PH1	/PH0

第 0 位(/PH0) 使能P60引脚为上拉状态的控制位。

0：使能内部上拉。

1：禁止内部上拉。

第 1 位(/PH1) 使能P61引脚为上拉状态的控制位。

第 2 位(/PH2) 使能P62引脚为上拉状态的控制位。

第 3 位(/PH3) 使能P63引脚为上拉状态的控制位。

第 4 位(/PH4) 使能P64引脚为上拉状态的控制位。

第 5 位(/PH5) 使能P65引脚为上拉状态的控制位。

第 6 位(/PH6) 使能P66引脚为上拉状态的控制位。

第 7 位(/PH7) 使能P67引脚为上拉状态的控制位。

IOCD 寄存器是可读可写的。

4.2.8 IOCE (WDT 控制寄存器)

7	6	5	4	3	2	1	0
WDTE	EIS	-	ROC	-	-	-	-

第 7 位(WDTE) WDT使能控制位。

0：禁止 WDT。

1：使能 WDT。

WDTE可读可写。

第 6 位(EIS) P60 (/INT) 引脚功能定义位。

0：P60，双向 I/O 引脚。

1：/INT，外部中断引脚。在这种情况下P60的I/O控制位(IOC6的第0位)必须置1。

当 EIS 为0时，/INT通道被屏蔽。当EIS为1时，/INT引脚状态也可由P6口 (R6) 读出。参见图7(a)所示。

第 4 位(ROC) ROC 用于 R-option功能。

置ROC为1，使能R-option功能，其引脚P50~P51的状态可由控制器读出。ROC清零禁止R-option功能。如果R-option功能被使用，用户必须使P51引脚和/或P50引脚通过一个430KΩ外接电阻r (Rex)与VSS相连。若Rex接入/未接，读到P50 (P51) 的状态是0/1。参见图8所示。

第 0~3,5 位 未用。

4.2.9 IOCF (中断屏蔽寄存器)

7	6	5	4	3	2	1	0
-	-	-	-	-	EXIE	ICIE	TCIE

第 0 位(TCIE) TCIF 中断使能位。

0：禁止 TCIF 中断。

1：使能 TCIF 中断。

第1 位(ICIE) ICIF 中断使能位。

0：禁止 ICIF 中断。

1：使能 ICIF 中断。

第2位 (EXIE) EXIF 中断使能位。

0：禁止 EXIF 中断。

1：使能 EXIF 中断。

第3~7位未用。

通过IOCF中的相关控制位置1，使能各个相关中断。

总中断是由ENI指令使能，由DISI指令禁止。参见图10所示。

IOCF寄存器是可读写的。

4.3 TCC/WDT 和预分频器

TCC或WDT有一个8位计数器用作预分频器。在同一时间它只能分配给其中一方，这由CONT寄存器的PAB位决定。PSR0~PSR2位确定分频系数。若分配给TCC，则每次写TCC操作均将预分频器清0。若分配给WDT，则WDT和预分频器均在执行WDTC或SLEP指令时清0。图5详细描述了TCC/WDT电路特性。

R1(TCC)为8位定时器/计数器。TCC时钟源可为内部时钟或外部时钟（由TCC引脚输入，触发沿可选择）。如果是内部时钟，每个指令周期TCC加1（无预分频器）。由图5可知，指令周期是2个还是4个时钟周期由代码选择寄存器CLKS位决定。CLK=0则CLK=Fosc/2，CLK=1则CLK=Fosc/4。如果是外部时钟，则TCC引脚信号每一个上升沿或下降沿TCC加1。

WDT是一个自由运行的片内RC振荡器。当振荡驱动关闭（即睡眠模式）后，WDT依然运行。在正常工作或睡眠模式下，WDT溢出将引起复位（若WDT使能）。WDT可在正常模式下由软件设置IOCE的WDTE位来使能或禁止。在没有预分频器情况下，WDT溢出时间约为18ms¹（默认）。

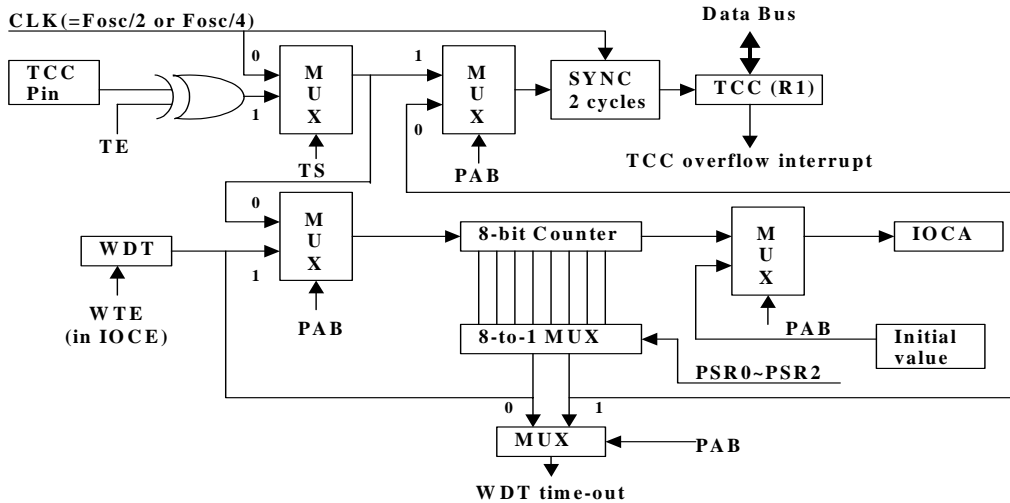


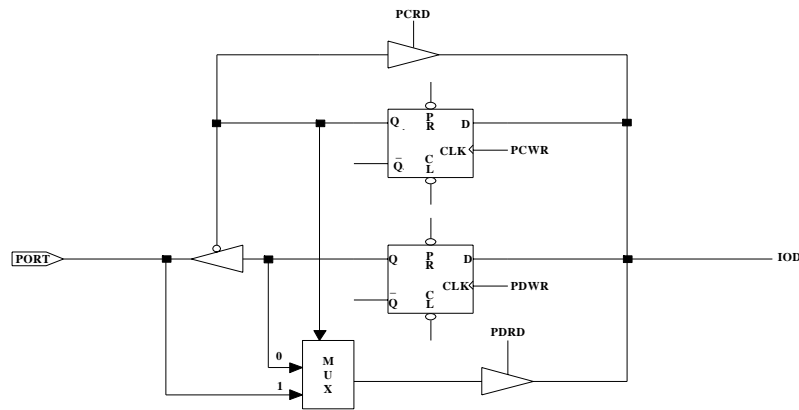
图5 TCC 和 WDT 模块图

¹注：Vdd = 5V，启动时间 = 16.8ms ± 30%
Vdd = 3V，启动时间 = 18ms ± 30%

4.4 I/O 端口

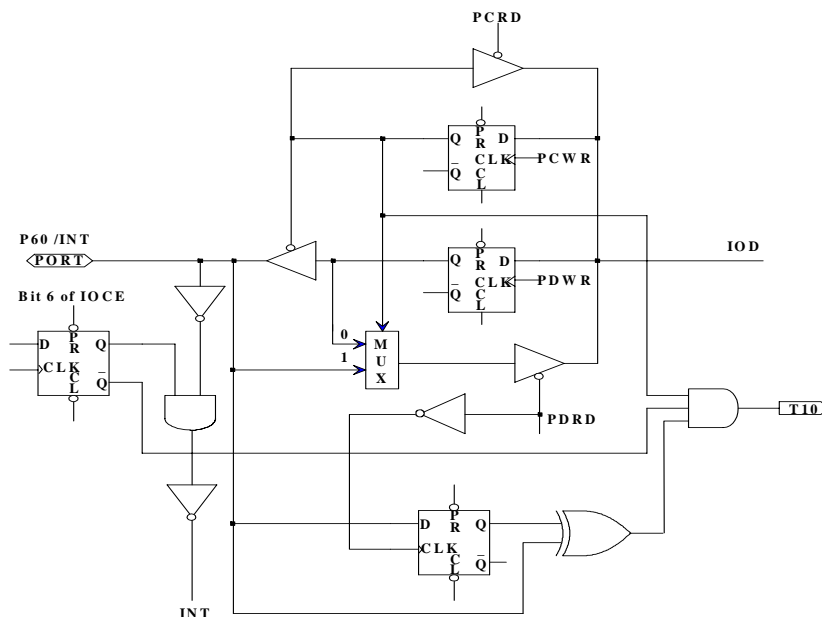
I/O端口PORT5、PORT6均为双向三态I/O口。PORT6可由软件设置为内部上拉或漏极开路输出。P6口具有输入状态变化中断(或唤醒)功能。P50~P52、P60~P63引脚可由软件设置为下拉。各I/O引脚可由I/O控制寄存器(IOC5~IOC6)设置为输入或输出。P50、P51为R-OPTION引脚,由IOCE寄存器的ROC位置1使能。使用R-OPTION功能时,建议将P50、P51设为输出。在R-OPTION使能状态下,P50~P51口须设为输入。在R-Option模式下Rex电阻会消耗一定电能,应加以考虑以降低能耗。

I/O寄存器和I/O控制寄存器都是可读可写的。PORT5和PORT6的I/O接口电路见下图6,图7(a),7(b)和图8。



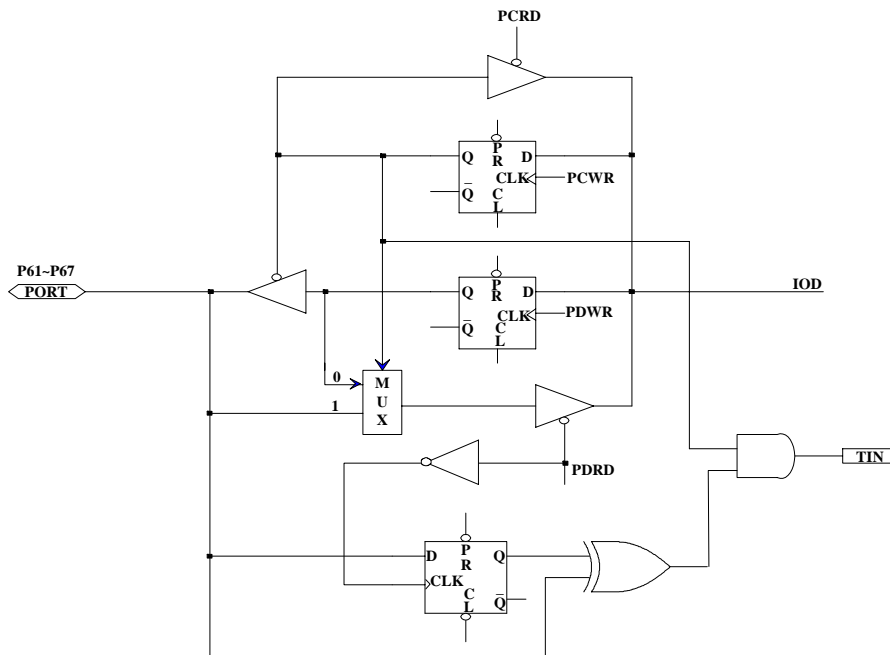
注：下拉未在图中表示

图6 PORT5 I/O 端口和 I/O 控制寄存器电路



注：上拉(下拉)和漏极开路未在图中表示

图7(a) P60 (/INT) I/O 端口和 I/O 控制寄存器电路



注：上拉（下拉）和漏极开路未在图中表示
图 7(b) P61~P67 I/O 端口和 I/O 控制寄存器电路

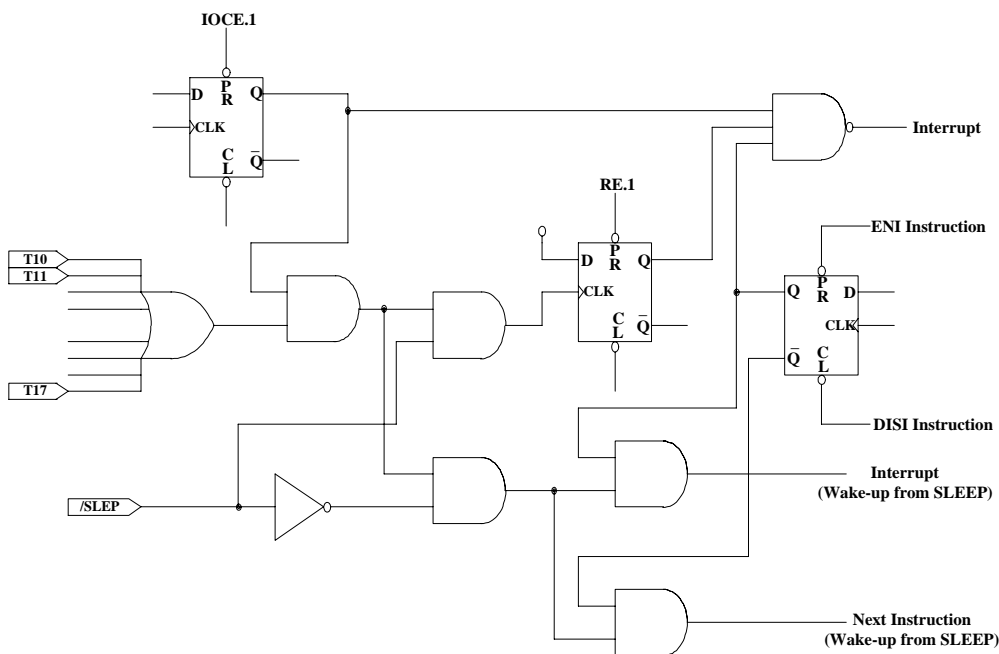


图 7(c) 带有输入转换中断/唤醒功能的 P6 口模块图

表 4 P6口输入转换中断/唤醒功能的用法

PORT6 输入状态改变引起的唤醒/中断功能用法	
(I) PORT6口的唤醒功能 (a) 休眠 (SLEEP) 前 1. 禁止WDT2 (应小心使用) 2. 读I/O Port 6 (MOV R6,R6) 3. 执行 "ENI" or "DISI" 4. 使能中断(Set IOCF.1) 5. 执行"SLEP"指令 (b) 唤醒 (Wake-up) 后 1. 若"ENI" → 中断向量地址(008H) 2. 若"DISI" → 执行下一条指令	(II) Port 6输入状态变化中断 1. 读I/O Port 6 (MOV R6,R6) 2. 执行"ENI" 3. 使能中断(Set IOCF.1) 4. 若PORT 6状态改变(产生中断) → 中断向量地址(008H)

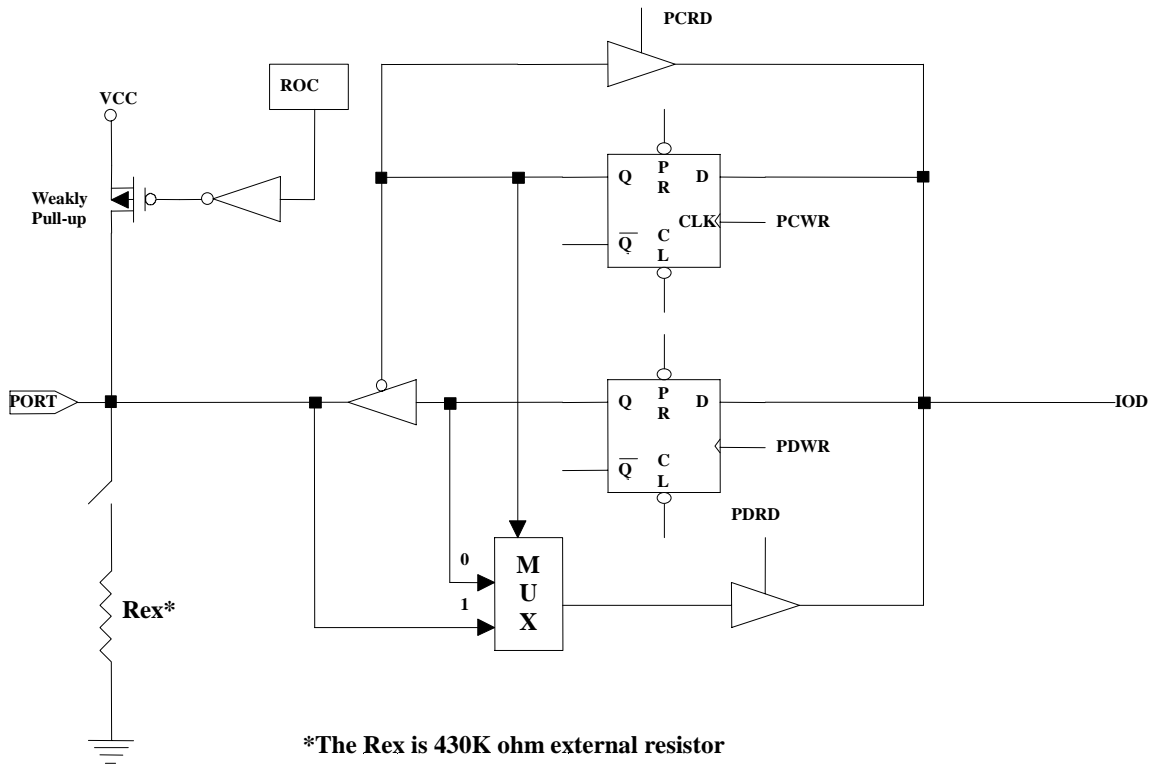


图 8 具有 R-option(P50,P51)功能的 I/O 口电路

2 注: 在使用 P6 输入转变唤醒功能之前, 软件禁止 WDT (watchdog timer) 但硬件必须使能。(代码选择寄存器和第 11 位 (ENWDTB)置 1。

4.5 复位和唤醒

4.5.1 复位

复位由下列情况之一引起：

- (1) 上电复位。
- (2) /RESET 引脚输入低电平。
- (3) WDT 溢出（若使能）。

在复位动作被检测到之后，单片机保持复位状态18ms3 (振荡器起振时间)。一旦复位发生，单片机将会执行下列功能。参见图9。

- 振荡器继续振荡或起振。
- PC清为0。
- 所有I/O 引脚定义为输入模式（高阻状态）。
- WDT 和预分频器清0。
- 上电时，R3 高3 位清0。
- CONT 寄存器除第6 位（INT 标志）外，全置为1。
- IOCA 寄存器全置为1。
- IOCB 寄存器全置为1。
- IOCC 寄存器清0。
- IOCD 寄存器全置为1。
- IOCE 寄存器第7 位置1，第4、6 位清0。
- RF、IOCF 寄存器第0~2 位清0。

执行SLEP指令可进入睡眠模式（低功耗模式）。进入睡眠模式时，WDT（若使能）清0但

继续运行。单片机可被如下情况唤醒：

- (1) /RESET引脚上输入的外部复位信号。
- (2) WDT溢出(若使能)。
- (3) P6 输入状态改变(若使能)。

前两种情况会引起 EM78P156EL 复位。R3 的T 和P 位可以决定复位（唤醒）的来源。最后一种情况唤醒后程序继续执行，全局中断（执行“ENI”或“DISI”）决定唤醒后控制器是否会跳到中断向量地址。如果在SLEP 指令执行前执行ENI 指令，唤醒后程序

注：Vdd = 5V，启动时间 = 16.8ms ± 30%
Vdd = 3V，启动时间 = 18ms ± 30%



将从地址0X08H处执行中断处理。如果在执行SLEP指令前执行DISI指令，唤醒后程序将从SLEP指令的下一个指令开始执行。

进入睡眠状态前，2、3两种情况只有一种可被使能，即

[a] 如果睡眠前PORT6输入状态变化中断使能，则WDT应由软件禁止，但在代码选择寄存器中WDT仍为使能。因此，EM78P156EL只能被1、3两种情况唤醒。

[b] 在SLEP前如果WDT使能，则PORT6输入变化中断应禁止。因此，EM78P156EL只能被1、2两种情况唤醒。

如果PORT6输入变化中断被用于唤醒EM78P156EL(上述[a])，则如下指令应在SLEP指令前执行：

MOV A, @xx000110b ; 选择内部 TCC 时钟

CONTW

CLR R1 ; 清 TCC 和预分频器

MOV A, @xxxx1110b ; 选择 WDT预分频器

CONTW

WDTC ; 清 WDT 和预分频器

MOV A, @0xxxxxxb ; 禁止 WDT

IOW RE

MOV R6, R6 ; 读 P6

MOV A, @00000x1xb ; 使能P6输入变化中断

IOW RF

ENI (or DISI) ; 使能 (或禁止) 全局中断

SLEP ; 进入睡眠

NOP

应该注意，从睡眠模式唤醒后WDT功能将自动使能。因此，唤醒后WDT（使能或禁止）应根据需要软件设置。

表 5 寄存器初始值一览表

Address	Name	Reset Type	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
N/A	IOC5	Bit Name	X	X	X	X	C53	C52	C51	C50
		Power-On	U	U	U	U	1	1	1	1
		/RESET and WDT	U	U	U	U	1	1	1	1
		Wake-Up from Pin Change	U	U	U	U	P	P	P	P
N/A	IOC6	Bit Name	C67	C66	C65	C64	C63	C62	C61	C60
		Power-On	1	1	1	1	1	1	1	1
		/RESET and WDT	1	1	1	1	1	1	1	1
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
N/A	CONT	Bit Name	X	/INT	TS	TE	PAB	PSR2	PSR1	PSR0
		Power-On	1	0	1	1	1	1	1	1
		/RESET and WDT	1	0	1	1	1	1	1	1
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x00	R0(IAR)	Bit Name	-	-	-	-	-	-	-	-
		Power-On	U	U	U	U	U	U	U	U
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x01	R1(TCC)	Bit Name	-	-	-	-	-	-	-	-
		Power-On	0	0	0	0	0	0	0	0
		/RESET and WDT	0	0	0	0	0	0	0	0
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x02	R2(PC)	Bit Name	-	-	-	-	-	-	-	-
		Power-On	0	0	0	0	0	0	0	0
		/RESET and WDT	0	0	0	0	0	0	0	0
		Wake-Up from Pin Change	**0/P	**0/P	**0/P	**0/P	**1/P	**0/P	**0/P	**0/P
0x03	R3(SR)	Bit Name	GP2	GP1	GP0	T	P	Z	DC	C
		Power-On	0	0	0	1	1	U	U	U
		/RESET and WDT	0	0	0	t	t	P	P	P
		Wake-Up from Pin Change	P	P	P	t	t	P	P	P
0x04	R4(RSR)	Bit Name	-	-	-	-	-	-	-	-
		Power-On	1	1	U	U	U	U	U	U
		/RESET and WDT	1	1	P	P	P	P	P	P
		Wake-Up from Pin Change	1	1	P	P	P	P	P	P
0x05	P5	Bit Name	X	X	X	X	P53	P52	P51	P50



Address	Name	Reset Type	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
		Power-On	0	0	0	0	U	U	U	U
		/RESET and WDT	0	0	0	0	P	P	P	P
		Wake-Up from Pin Change	0	0	0	0	P	P	P	P
0x06	P6	Bit Name	P67	P66	P65	P64	P63	P62	P61	P60
		Power-On	U	U	U	U	U	U	U	U
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x0F	RF(ISR)	Bit Name	X	X	X	X	X	EXIF	ICIF	TCIF
		Power-On	U	U	U	U	U	0	0	0
		/RESET and WDT	U	U	U	U	U	0	0	0
		Wake-Up from Pin Change	U	U	U	U	U	P	P	P
0x0A	IOCA	Bit Name	-	-	-	-	-	-	-	-
		Power-On	1	1	1	1	1	1	1	1
		/RESET and WDT	1	1	1	1	1	1	1	1
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x0B	IOCB	Bit Name	/PD7	/PD6	/PD5	/PD4	X	/PD2	/PD1	/PD0
		Power-On	1	1	1	1	U	1	1	1
		/RESET and WDT	1	1	1	1	U	1	1	1
		Wake-Up from Pin Change	P	P	P	P	U	P	P	P
0x0C	IOCC	Bit Name	OD7	OD6	OD5	OD4	OD3	OD2	OD1	OD0
		Power-On	0	0	0	0	0	0	0	0
		/RESET and WDT	0	0	0	0	0	0	0	0
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x0D	IOCD	Bit Name	/PH7	/PH6	/PH5	/PH4	/PH3	/PH2	/PH1	/PH0
		Power-On	1	1	1	1	1	1	1	1
		/RESET and WDT	1	1	1	1	1	1	1	1
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x0E	IOCE	Bit Name	WDTE	EIS	X	ROC	X	X	X	X
		Power-On	1	0	U	0	U	U	U	U
		/RESET and WDT	1	0	U	0	U	U	U	U
		Wake-Up from Pin Change	1	P	U	P	U	U	U	U
0x0F	IOCF	Bit Name	X	X	X	X	X	EXIE	ICIE	TCIE
		Power-On	U	U	U	U	U	0	0	0
		/RESET and WDT	U	U	U	U	U	0	0	0

Address	Name	Reset Type	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
		Wake-Up from Pin Change	U	U	U	U	U	P	P	P
0x10~0x2F	R10~R2F	Bit Name	-	-	-	-	-	-	-	-
		Power-On	U	U	U	U	U	U	U	U
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P

** 跳至地址0X08或执行“SLEP”指令后的指令

× 未用。U:未知或不用关心。P:复位前的值。t:查看表6.

4.5.2 状态寄存器RST, T, 和 P的状态

复位由下列情况引起：

- (1) 上电复位。
- (2) /RESET引脚高-低-高脉冲。
- (3) WDT计时器溢出。

T、P值，如表6所列，可用于判断单片机如何唤醒。表7列出可影响T、P状态的事件。

表 6 复位后 RST, T 和 P 的值

Reset Type	T	P
Power on	1	1
/RESET during Operating mode	*P	*P
/RESET wake-up during SLEEP mode	1	0
WDT during Operating mode	0	*P
WDT wake-up during SLEEP mode	0	0
Wake-Up on pin change during SLEEP mode	1	0

*P：复位前的状态

表 7 事件影响后T和P的状态

Event	T	P
Power on	1	1
WDTC instruction	1	1
WDT time-out	0	*P
SLEP instruction	1	0
Wake-Up on pin change during SLEEP mode	1	0

*P：复位前的状态

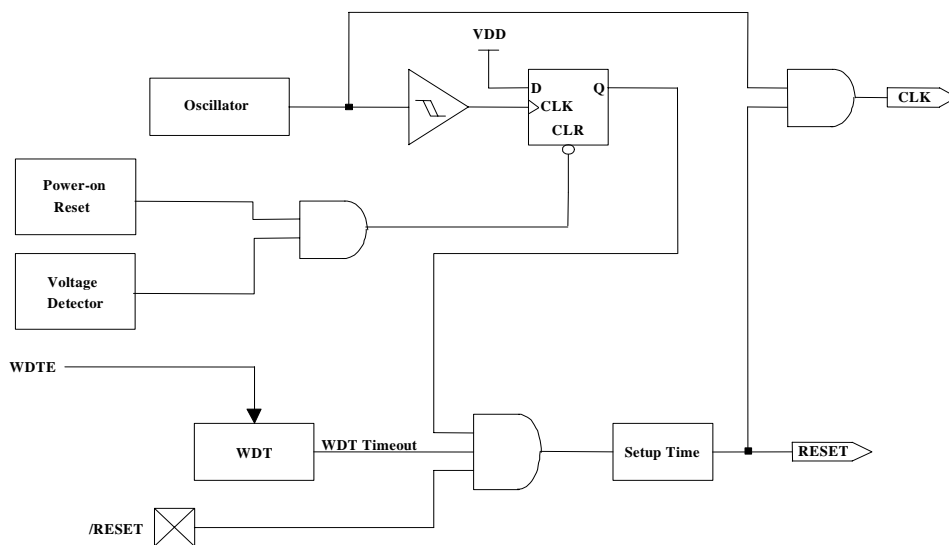


图9 控制器复位模块图

4.6 中断

EM78P156EL 有如下3 种情况可引起下降沿中断：

- (1) TCC 溢出中断。
- (2) PORT6 端口输入状态改变中断。
- (3) 外部中断[(P60,/INT) 脚]。

在PORT6 输入变化中断使能前，读R6 寄存器(即"MOV R6,R6")是必要的。如果状态变化，PORT6 的每一个引脚均可具有这一特性，设为输出状态的引脚及作/INT 引脚的P60 除外。如果在执行SLEP 指令进入睡眠模式之前使能PORT6 输入变化中断，则PORT6 输入状态变化可唤醒EM78P156EL。唤醒后，若全局中断禁止，则单片机执行SLEP 后下一条指令，若全局中断使能，则从中断向量地址0X008 起执行指令。

RF (中断标志寄存器) 的各标志位记录相关中断请求。IOCF 为中断屏蔽寄存器。全局中断使能或禁止由ENI 或DISI 指令完成。当有一个中断发生时，下一指令由地址0X08 取出。一旦进入中断处理程序，可检测RF 标志位来确定中断源。退出中断处理子程序前，必须用指令清除中断标志并使能中断以免重复中断。

不管其屏蔽位状态如何或是否执行ENI，中断状态寄存器 (RF) 的标志位 (除ICIF 位以外) 会由中断置位。注意RF 的值是RF 和IOCF 逻辑与的结果 (参见图10)。RETI 指令结束中断子程并使能全局中断 (执行ENI)。

当INT 指令 (若使能) 产生中断时，下一指令将从地址001H 取出。

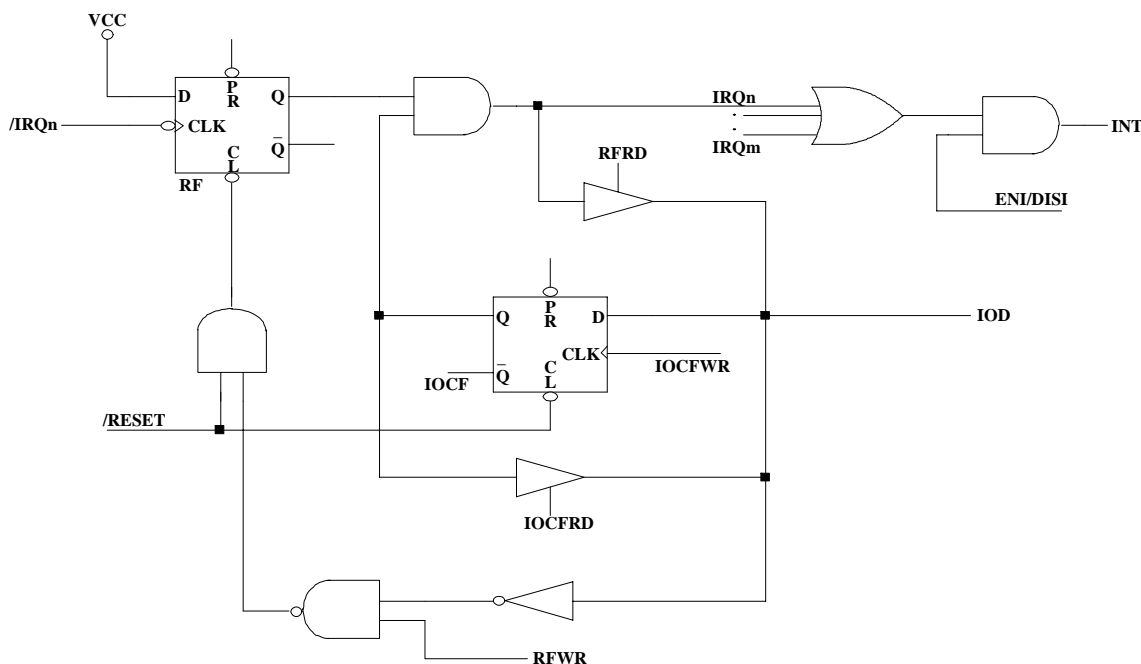


图 10 中断输入电路

4.7 振荡器

4.7.1 振荡器模式

EM78P156EL可工作在3种不同的振荡器模式下：外部RC振荡器模式（ERC），高频晶振模式（HXT），低频晶振模式（LXT）。用户可通过对代码寄存器中的MS、HLF两位编程选择。表8叙述了如何定义这3种模式。表9给出了不同VDD下晶振/谐振器的最高工作频率。

表 8 由MS 和 HLP 定义振荡器模式

Mode	MS	HLF	HLP
ERC(External RC oscillator mode)	0	*X	*X
HXT(High XTAL oscillator mode)	1	1	*X
LXT(Low XTAL oscillator mode)	1	0	0

<注>

1. X：不必关心
2. 在HXT和LXT之间的系统瞬时频率大约为400 KHz。

表 9 最大工作速度

Conditions	VDD	Fxt max.(MHz)
Two cycles with two clocks	2.3	4.0
	3.0	8.0
	5.0	20.0

4.7.2 晶体振荡器/陶瓷振荡器 (XTAL)

EM78P156EL 可以由外部时钟信号通过 OSCI 引脚来驱动，如图 11 所示：

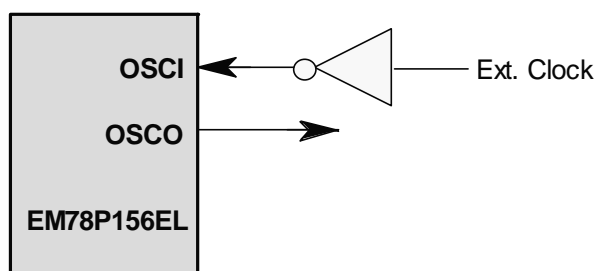


图 11 外部时钟输入电路

在大多数应用中，引脚 OSCO 和 OSCI 上可接晶体或陶瓷谐振器来产生振荡。图 12 为电路。不论是 HXT 还是 LXT 模式都适用。表 10 为 C1、C2 的推荐值。由于各个谐振器特性不同，用户应参照其规格选择 C1、C2 的合适值。串联电阻 RS 对于低频模式和 AT strip cut 晶体是需要的。

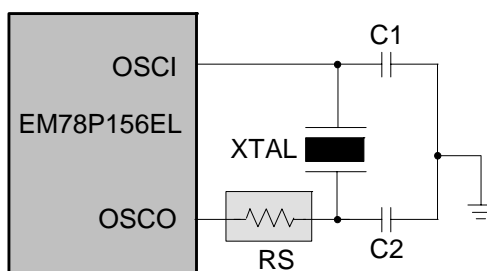


图 12 晶振/谐振器电路

表 10 晶体/陶瓷振荡器中电容的选择

Oscillator Type	Frequency Mode	Frequency	C1(pF)	C2(pF)
Ceramic Resonators	HXT	455 kHz	100~150	100~150
		2.0 MHz	20~40	20~40
		4.0 MHz	10~30	10~30
Crystal Oscillator	LXT	32.768kHz	25	15
		100KHz	25	25
		200KHz	25	25
	HXT	455KHz	20~40	20~150
		1.0MHz	15~30	15~30
		2.0MHz	15	15
		4.0MHz	15	15

4.7.3 外部 RC 振荡器模式

在一些不需要精确计时的应用中，使用RC 振荡器（如图15）可以节省部分费用。尽管如此，还是应该注意到，RC振荡器的频率与电压、电阻值(Rext)、电容值(Cext)、甚至工作温度均有关。并且各芯片之间由于生产工艺差别，频率也会发生细微变化。

为了获得稳定的系统频率，电容值不能小于20pF，电阻值不能大于1MΩ。如果它们不在该范围之内，频率将很容易受噪声、湿度、漏电的影响。

RC 振荡器的电阻Rext值越小频率越高。另一方面，对于很小的电阻值，如1KΩ，由于NMOS不能正确将电容放电，振荡器将变得不稳定。

基于上述原因，必须牢记电源电压、工作温度、RC 振荡器部件、封装形式及PCB 布线方式均会影响系统频率。

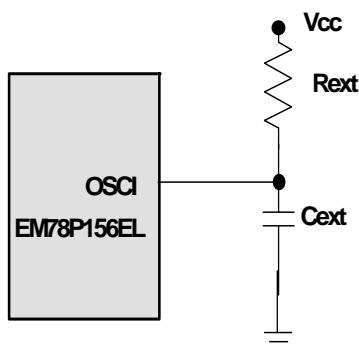


图 13 外部振荡器模式下的电路

表 11 RC 振荡器的频率

Cext	Rext	Average Fosc 5V,25°C	Average Fosc 3V,25°C
20 pF	3.3k	3.92 MHz	3.65 MHz
	5.1k	2.67 MHz	2.60 MHz
	10k	1.39MHz	1.40 MHz
	100k	149 KHz	156 KHz
100 pF	3.3k	1.39 MHz	1.33 MHz
	5.1k	940 KHz	920 KHz
	10k	480 KHz	475 KHz
	100k	52 KHz	50 KHz
300 pF	3.3k	595 KHz	560 KHz
	5.1k	400 KHz	390 KHz
	10k	200 KHz	200 KHz
	100k	21 KHz	20 KHz

<注>

1. DIP 封装下的测量值。
2. 只做设计参考。
3. 频率偏差大约为±30%。

4.8 代码选择寄存器

EM78P156EL有一个代码选择字，它不是正常程序存储器的部分。在正常程序执行期间这些选择字不能被访问。

Code Option 寄存器和用户 ID 寄存器资源分配：

Word 0	Word 1
Bit12~Bit0	Bit12~Bit0

1. Code Option 寄存器(Word 0)

WORD 0												
Bit12	Bit11	Bit10	Bit9	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
MS	/ENWDT	CLK	CS	HLF	-	HLP	-	-	-	-	-	-

第 12 位(MS)：晶振类型选择。

- 0：RC 类型
- 1：XTAL 类型 (XTAL1 和 XTAL2)

第 11 位(/ENWDT)：WDT使能位。

- 0：使能
- 1：禁止

第10位(CLK)：指令周期选择位。

0：2个振荡周期

1：4个振荡周期

参考指令集章节。

第9位(CS)：代码安全位。

0：安全开

1：安全关

第8位(HLF)：XTAL 频率选择。

0：XTAL2 类型(低频，32.768KHz)

1：XTAL1 类型(高频)

在MS（第12位）为1时，这一位将会影响到系统的振荡。当MS为0时，HLF必须为0。

<注>：在 HXT 和 LXY 之间的瞬时频率值大约为 400 KHz。

第7位：保留。

这一位一直为1。

第6位(HLP)：功耗选择。

0：低功耗

1：高功耗

第5~0位：用户 ID 代码

2. 用户ID 寄存器 (Word 1)

Bit 12~Bit 0
XXXXXXXXXXXX

第12~0位：用户 ID 代码

4.9 关于上电的问题

在电源稳定之前，任何单片机均不能保证开始正常工作。

EM78P156EL POR电压范围为1.2~1.8V。用户使用过程中，关闭电源，VDD会掉至1.2V以下，电源在再次开启前会关闭状态会保持10us，这样，EM78P156将复位并正常工作。如果Vdd上升的足够快（50ms 或更少），额外的外部复位电路将正常工作。然而，在许多要求严格的应用中，还是需要附加的外部电路来帮助解决上电问题。

4.10 外部上电复位电路

图14所示的电路使用了外部RC产生复位脉冲。脉冲宽度应足够长，直至Vdd达到最低工作电压。当电源上升慢时，可使用该电路。由于/RESET引脚的漏电流约为 $\pm 5\mu\text{A}$ ，建议R不应大于40K。这样，/reset引脚电压将保持在0.2V以下。二极管D的作用是在省电时充当短路回路。电容C将快速充分放电。限流电阻Rin用来避免过大的放电电流或静电放电ESD流入引脚/RESET。

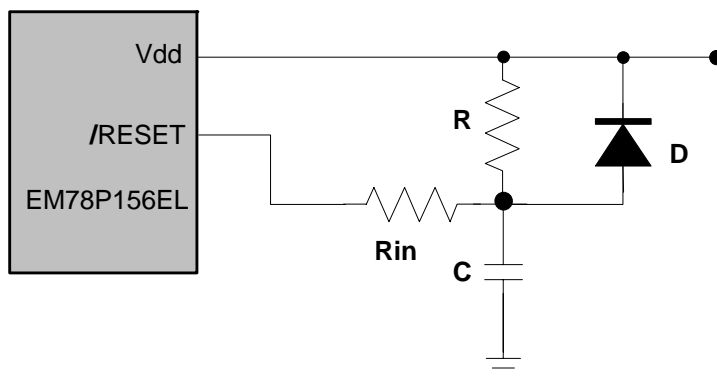


图 14 外部上电复位电路

4.11 残存电压保护

在更换电池时，电源Vdd断开后仍有一个小于Vdd最小值但又不为0的残存电压。这样将引起不正常复位。图15、16为残存电压保护电路。

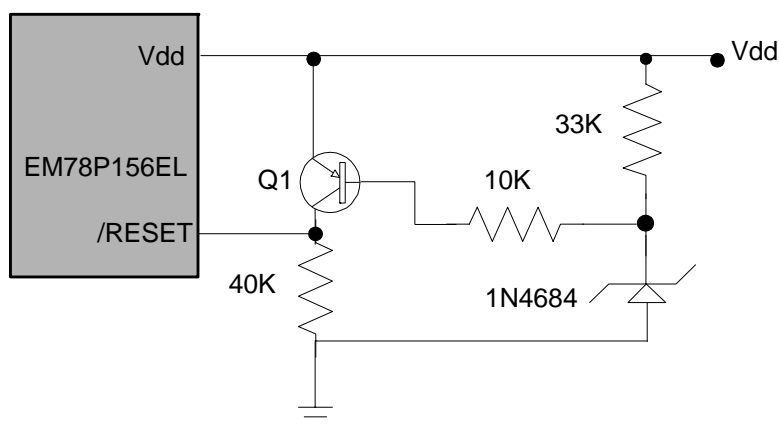


图 15 残存电压保护电路 1

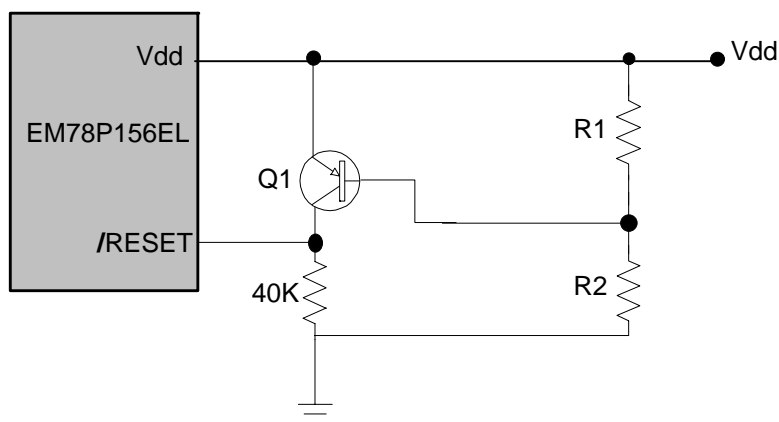


图 146 残存电压保护电路 2

4.12 指令集

指令集中的每个指令都是13位的字长，由一个操作代码和一个或多个的操作数组成。通常，指令的执行时间都在1个指令周期内（一个指令周期包含2个振荡器周期），除了改变工作计数器R2数值的指令如"MOV R2,A", "ADD R2,A"，或者是对R2进行算术或逻辑操作的指令(如："SUB R2,A", "BS(C) R2,6", "CLR R2", ...)。这些情况，指令执行需要2个指令周期。

如果由于某些原因，指令周期的描述不适合某些应用，可以做如下修改：

(A) 使一个指令周期包含4个振荡器周期。

(B) 经测试，"JMP", "CALL", "RET", "RETL", "RETI"指令，或条件转移指令("JBS", "JBC", "JZ", "JZA", "DJZ", "DJZA") 执行时间为2个指令周期。对PC写操作的指令也需要2个指令周期。

情况(A) 由CODE Option 中的CLK位选择。如果CLK为0，一个指令周期为2个振荡器周期，如果CLK为1，一个指令周期为4个振荡器周期。

值得注意的是(A)情况下一旦选择指令周期为4个振荡器周期，TCC的内部时钟源应该 $F_{osc}/4$ ，而不是 $F_{osc}/2$ ，如图5所示。

此外，指令集具有以下特点：

(1) 任何寄存器的每一位都能被置1，清零或直接测试。

(2) I/O 寄存器可以作为通用寄存器，即相同的指令可对I/O寄存器操作。

在指令中，符号"R"表示某个指定的寄存器(包括工作寄存器和通用寄存器)。符号"b"表示在指定的寄存器R中的一个位元，它会影响操作。符号"k"表示一个8位或10位的常数。



INSTRUCTION BINARY	HEX	MNEMONIC	OPERATION	STATUS AFFECTED
0 0000 0000 0000	0000	NOP	No Operation	None
0 0000 0000 0001	0001	DAA	Decimal Adjust A	C
0 0000 0000 0010	0002	CONTW	A → CONT	None
0 0000 0000 0011	0003	SLEP	0 → WDT, Stop oscillator	T,P
0 0000 0000 0100	0004	WDTC	0 → WDT	T,P
0 0000 0000 rrrr	000r	IOW R	A → IOCR	None <Note1>
0 0000 0001 0000	0010	ENI	Enable Interrupt	None
0 0000 0001 0001	0011	DISI	Disable Interrupt	None
0 0000 0001 0010	0012	RET	[Top of Stack] → PC	None
0 0000 0001 0011	0013	RETI	[Top of Stack] → PC, Enable Interrupt	None
0 0000 0001 0100	0014	CONTR	CONT → A	None
0 0000 0001 rrrr	001r	IOR R	IOCR → A	None <Note1>
0 0000 01rr rrrr	00rr	MOV R,A	A → R	None
0 0000 1000 0000	0080	CLRA	0 → A	Z
0 0000 11rr rrrr	00rr	CLR R	0 → R	Z
0 0001 00rr rrrr	01rr	SUB A,R	R-A → A	Z,C,DC
0 0001 01rr rrrr	01rr	SUB R,A	R-A → R	Z,C,DC
0 0001 10rr rrrr	01rr	DECA R	R-1 → A	Z
0 0001 11rr rrrr	01rr	DEC R	R-1 → R	Z
0 0010 00rr rrrr	02rr	OR A,R	A ∨ R → A	Z
0 0010 01rr rrrr	02rr	OR R,A	A ∨ R → R	Z
0 0010 10rr rrrr	02rr	AND A,R	A & R → A	Z
0 0010 11rr rrrr	02rr	AND R,A	A & R → R	Z
0 0011 00rr rrrr	03rr	XOR A,R	A ⊕ R → A	Z
0 0011 01rr rrrr	03rr	XOR R,A	A ⊕ R → R	Z
0 0011 10rr rrrr	03rr	ADD A,R	A + R → A	Z,C,DC
0 0011 11rr rrrr	03rr	ADD R,A	A + R → R	Z,C,DC
0 0100 00rr rrrr	04rr	MOV A,R	R → A	Z
0 0100 01rr rrrr	04rr	MOV R,R	R → R	Z
0 0100 10rr rrrr	04rr	COMA R	/R → A	Z
0 0100 11rr rrrr	04rr	COM R	/R → R	Z
0 0101 00rr rrrr	05rr	INCA R	R+1 → A	Z
0 0101 01rr rrrr	05rr	INC R	R+1 → R	Z
0 0101 10rr rrrr	05rr	DJZA R	R-1 → A, skip if zero	None
0 0101 11rr rrrr	05rr	DJZ R	R-1 → R, skip if zero	None
0 0110 00rr rrrr	06rr	RRCA R	R(n) → A(n-1), R(0) → C, C → A(7)	C
0 0110 01rr rrrr	06rr	RRC R	R(n) → R(n-1), R(0) → C, C → R(7)	C
0 0110 10rr rrrr	06rr	RLCA R	R(n) → A(n+1), R(7) → C, C → A(0)	C
0 0110 11rr rrrr	06rr	RLC R	R(n) → R(n+1), R(7) → C, C → R(0)	C
0 0111 00rr rrrr	07rr	SWAPA R	R(0-3) → A(4-7), R(4-7) → A(0-3)	None
0 0111 01rr rrrr	07rr	SWAP R	R(0-3) ↔ R(4-7)	None
0 0111 10rr rrrr	07rr	JZA R	R+1 → A, skip if zero	None
0 0111 11rr rrrr	07rr	JZ R	R+1 → R, skip if zero	None

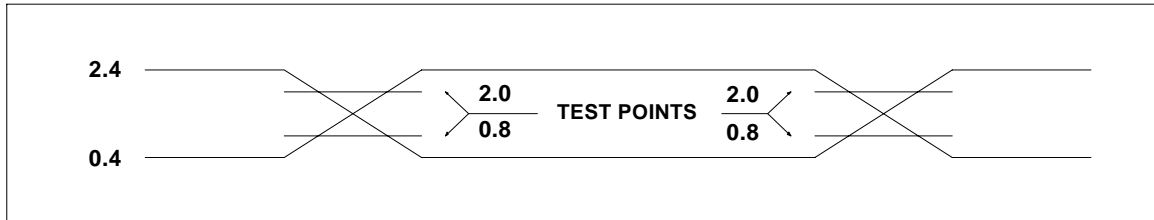
INSTRUCTION BINARY	HEX	MNEMONIC	OPERATION	STATUS AFFECTED
0 100b brrr rrrr	0xxx	BC R,b	0 → R(b)	None <Note2>
0 101b brrr rrrr	0xxx	BS R,b	1 → R(b)	None <Note3>
0 110b brrr rrrr	0xxx	JBC R,b	if R(b)=0, skip	None
0 111b brrr rrrr	0xxx	JBS R,b	if R(b)=1, skip	None
1 00kk kkkk kkkk	1kkk	CALL k	PC+1 → [SP], (Page, k) → PC	None
1 01kk kkkk kkkk	1kkk	JMP k	(Page, k) → PC	None
1 1000 kkkk kkkk	18kk	MOV A,k	k → A	None
1 1001 kkkk kkkk	19kk	OR A,k	A ∨ k → A	Z
1 1010 kkkk kkkk	1Akk	AND A,k	A & k → A	Z
1 1011 kkkk kkkk	1Bkk	XOR A,k	A ⊕ k → A	Z
1 1100 kkkk kkkk	1Ckk	RETL k	k → A, [Top of Stack] → PC	None
1 1101 kkkk kkkk	1Dkk	SUB A,k	k-A → A	Z,C,DC
1 1110 0000 0001	1E01	INT	PC+1 → [SP], 001H → PC	None
1 1111 kkkk kkkk	1Fkk	ADD A,k	k+A → A	Z,C,DC

NOTE

该指令只适用于IOCB~IOCF。
建议该指令不要用于操作寄存器RF。
该指令不能对RF寄存器操作。

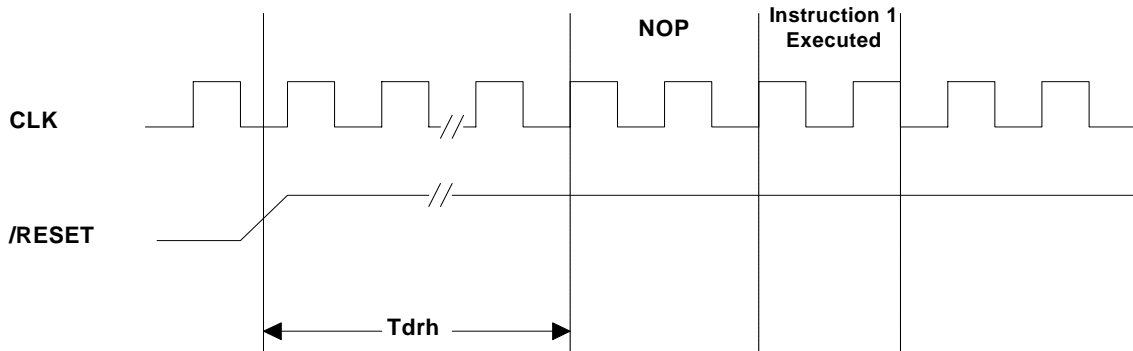
4.13 时序图

AC Test Input/Output Waveform

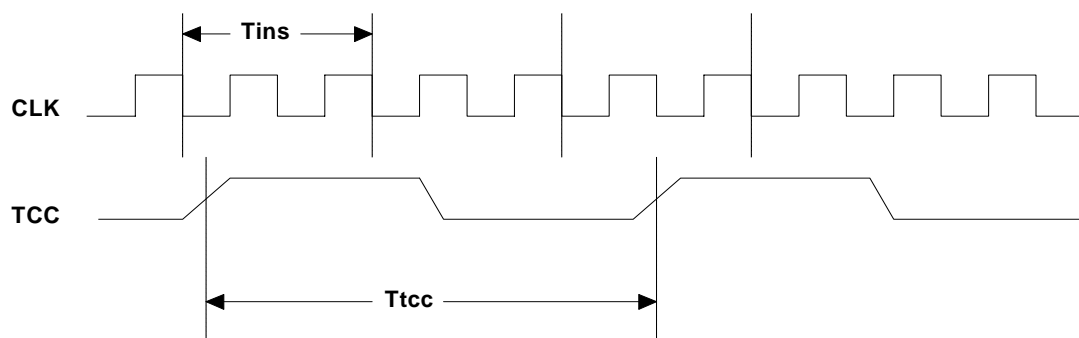


AC Testing : Input is driven at 2.4V for logic "1",and 0.4V for logic "0".Timing measurements are made at 2.0V for logic "1",and 0.8V for logic "0".

RESET Timing (CLK="0")



TCC Input Timing (CLKS="0")



5 绝对最大范围

Items	Rating
Temperature under bias	0°C to 70°C
Storage temperature	-65°C to 150°C
Input voltage	V _{ss} -0.3V to V _{dd} +0.5V
Output voltage	V _{ss} -0.3V to V _{dd} +0.5V

6 电气特性

6.1 直流 (DC) 电气特性

(Ta= 25 °C, VDD= 5.0V±5%, VSS= 0V)

Symbol	Parameter	Condition	Min	Typ.	Max	Unit
FXT	XTAL: VDD to 3V	Two cycle with two clocks	DC		8.0	MHz
	XTAL: VDD to 5V	Two cycle with two clocks	DC		20.0	MHz
ERC	ERC: VDD to 5V	R: 5.1KΩ, C: 100 pF	F±30%	940	F±30%	KHz
IIL	Input Leakage Current for input pins	VIN = VDD, VSS			±1	μA
VIH1	Input High Voltage (VDD=5V)	Ports 5, 6	2.0			V
VIL1	Input Low Voltage (VDD=5V)	Ports 5, 6			0.8	V
VIHT1	Input High Threshold Voltage (VDD=5V)	/RESET, TCC(Schmitt trigger)	2.0			V
VILT1	Input Low Threshold Voltage (VDD=5V)	/RESET, TCC(Schmitt trigger)			0.8	V
VIHX1	Clock Input High Voltage (VDD=5V)	OSCI	3.5			V
VILX1	Clock Input Low Voltage (VDD=5V)	OSCI			1.5	V
VIH2	Input High Voltage (VDD=3V)	Ports 5, 6	1.5			V
VIL2	Input Low Voltage (VDD=3V)	Ports 5, 6			0.4	V
VIHT2	Input High Threshold Voltage (VDD=3V)	/RESET, TCC(Schmitt trigger)	1.5			V
VILT2	Input Low Threshold Voltage (VDD=3V)	/RESET, TCC(Schmitt trigger)			0.4	V
VIHX2	Clock Input High Voltage (VDD=3V)	OSCI	2.1			V
VILX2	Clock Input Low Voltage (VDD=3V)	OSCI			0.9	V
VOH1	Output High Voltage (Ports 5)	IOH = -12.0 mA	2.4			V
VOH1	Output High Voltage (Ports 6) (Schmitt trigger)	IOH = -12.0 mA	2.4			V
VOL1	Output Low Voltage (Port5)	IOL = 12.0 mA			0.4	V
VOL1	Output Low Voltage (Ports 6) (Schmitt trigger)	IOL = 12.0 mA			0.4	V
IPH	Pull-high current	Pull-high active, input pin at VSS	-50	-70	-240	μA
IPD	Pull-down current	Pull-down active, input pin at VDD	25	50	120	μA
ISB1	Power down current	All input and I/O pins at VDD, output pin floating, WDT		1	2	μA

Symbol	Parameter	Condition	Min	Typ.	Max	Unit
		disabled				
ISB2	Power down current	All input and I/O pins at VDD, output pin floating, WDT enabled			10	μA
ICC1	Operating supply current (VDD=3V) at two cycles/four clocks	/RESET= 'High', Fosc=32KHz (Crystal type,CLKS="0"), output pin floating, WDT disabled	15	15	30	μA
ICC2	Operating supply current (VDD=3V) at two cycles/four clocks	/RESET= 'High', Fosc=32KHz (Crystal type,CLKS="0"), output pin floating, WDT enabled		20	35	μA
ICC3	Operating supply current (VDD=5.0V) at two cycles/two clocks	/RESET= 'High', Fosc=4MHz (Crystal type, CLKS="0"), output pin floating, WDT enabled			2.0	mA
ICC4	Operating supply current (VDD=5.0V) at two cycles/four clocks	/RESET= 'High', Fosc=10MHz (Crystal type, CLKS="0"), output pin floating, WDT enabled			4.0	mA

6.2 交流 (AC) 电气特性

(Ta=25 °C, VDD=5V±5%, VSS=0V)

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
Dclk	Input CLK duty cycle		45	50	55	%
Tins	Instruction cycle time (CLKS="0")	Crystal type	100		DC	ns
		RC type	500		DC	ns
Ttcc	TCC input period		(Tins+20)/N*			ns
Tdrh	Device reset hold time	Ta = 25°C	11.8	16.8	21.8	ms
Trst	/RESET pulse width	Ta = 25°C	2000			ns
Twdt	Watchdog timer period	Ta = 25°C	11.8	16.8	21.8	ms
Tset	Input pin setup time			0		ns
Thold	Input pin hold time			20		ns
Tdelay	Output pin delay time	Cload=20pF		50		ns

* N= 选择的预分频系数

* 这些参数是特征值，未经过测试

6.3 IC特性

下面几张图基于有限采样点数生成，仅供参考。并不能保证在此所述设备特性的精确性，某些图中的数据可能超出具体保证的操作范围

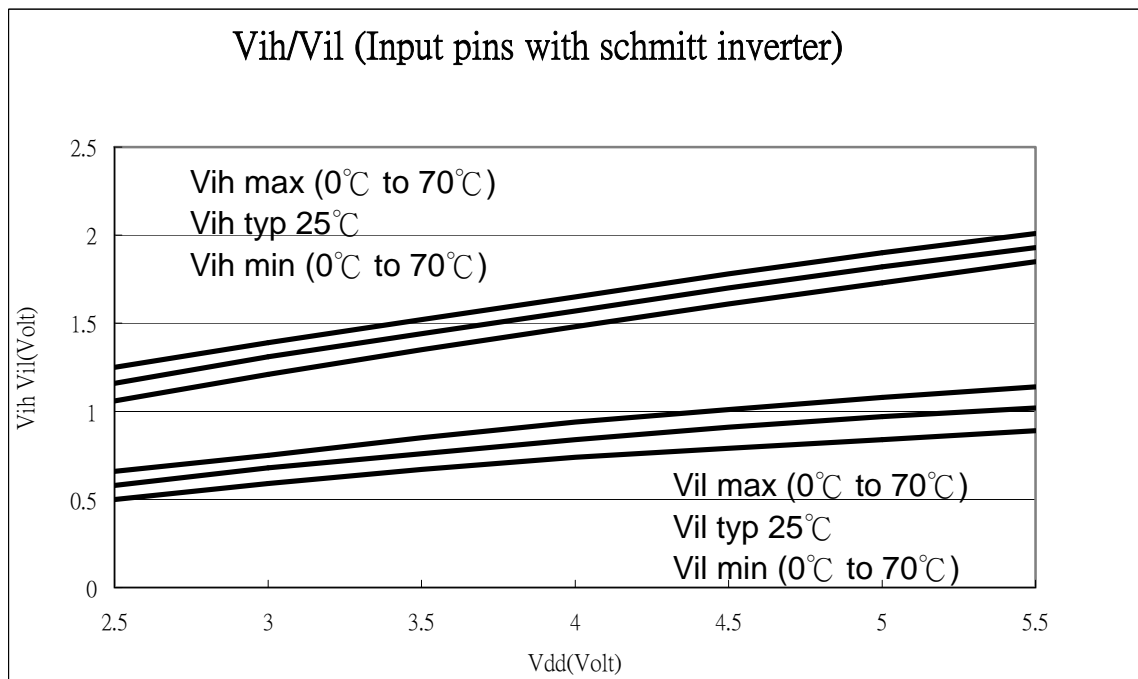


Fig. 17 Vih, Vil of Port6 vs. VDD

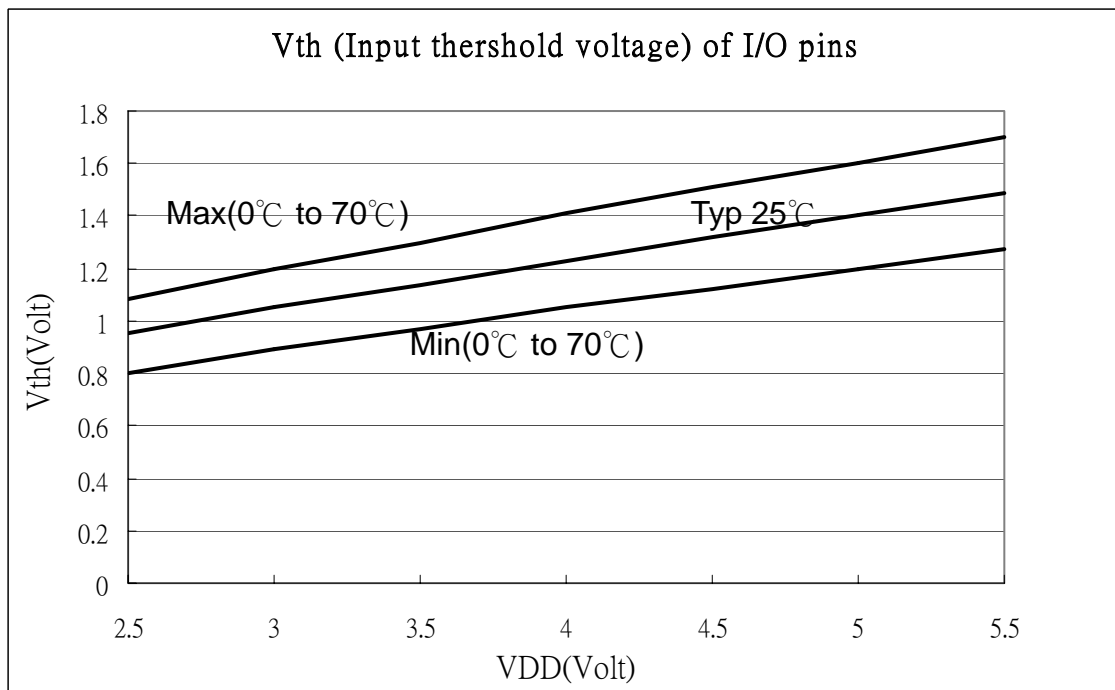


Fig. 18 Vth (Threshold voltage) of Port5 vs. VDD

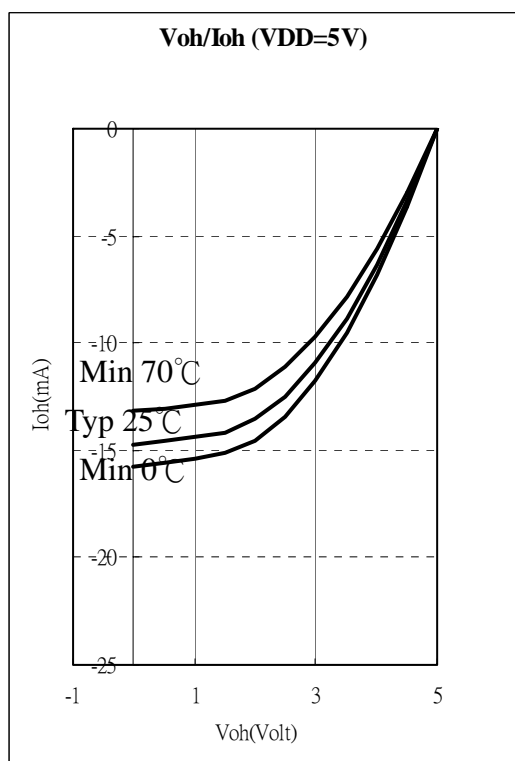


Fig. 19 Port5 and Port6 Voh vs. Ioh, VDD=5V

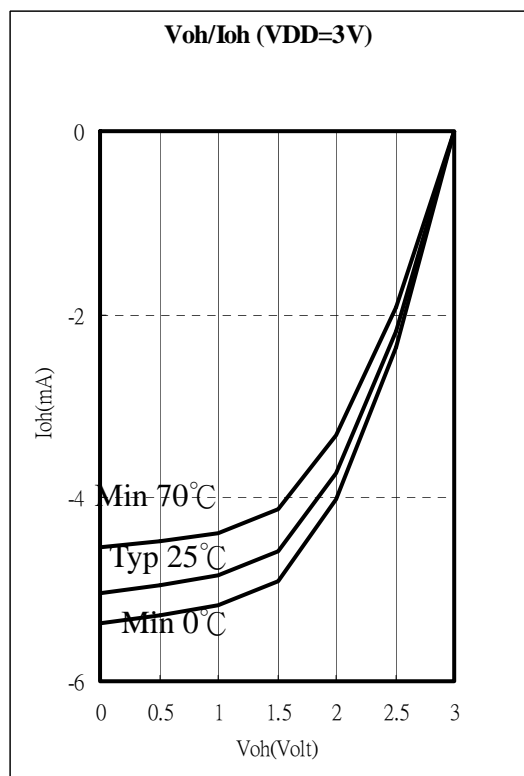


Fig. 20 Port5 and Port6 Voh vs. Ioh, VDD=3V

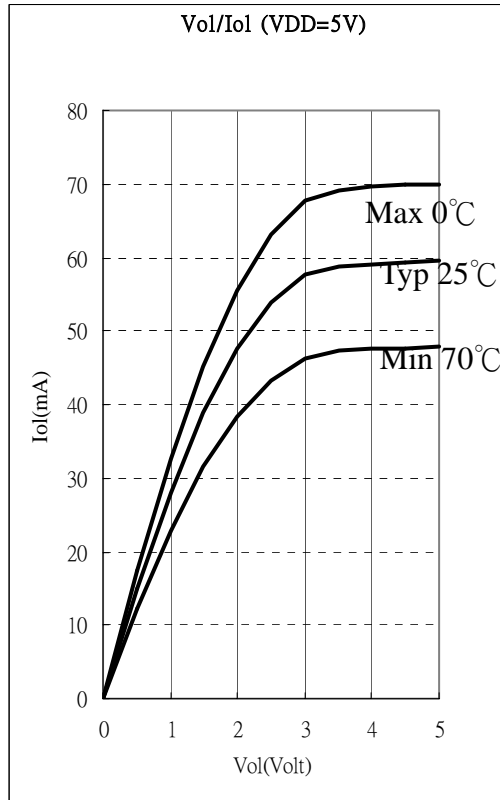


Fig. 21 Port5, Port6 Vol vs. Iol, VDD = 5V

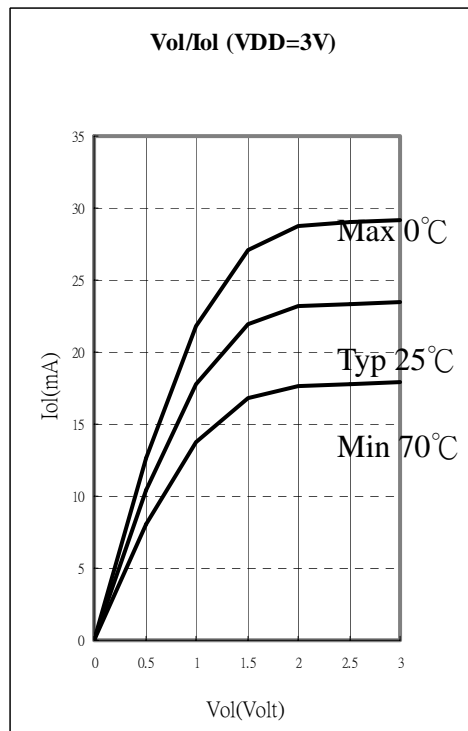


Fig. 22 Port5, Port6 Vol vs. Iol, VDD = 3V

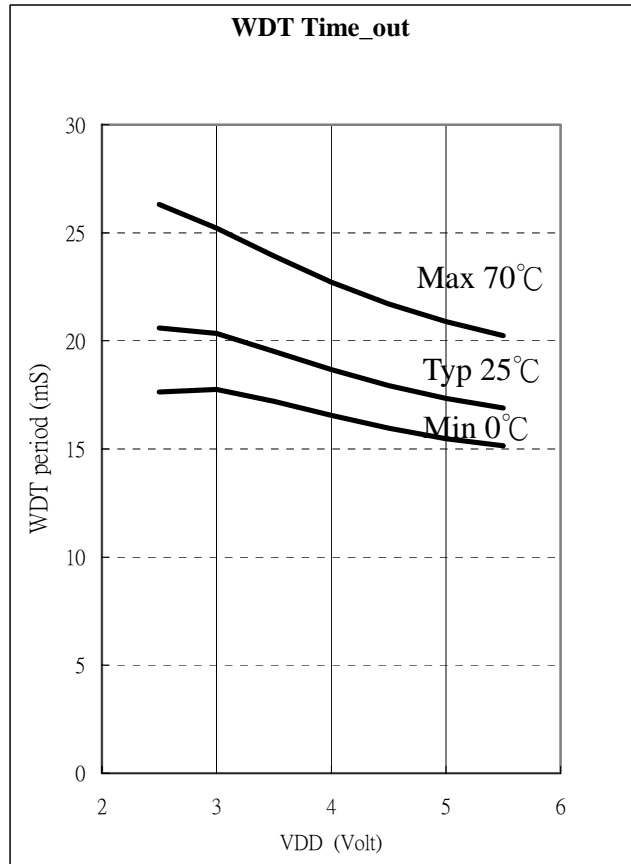


Fig. 23 WDT time out period vs. VDD, perscaler set to 1:1

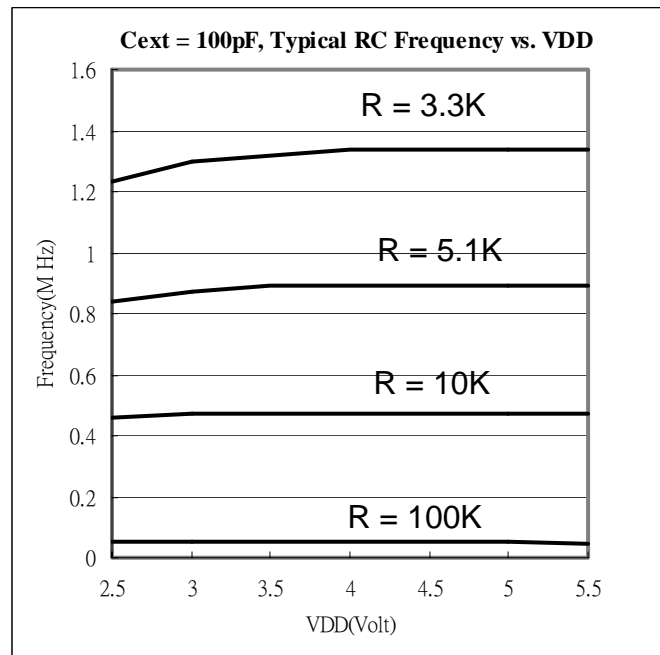


Fig. 24 Typical RC OSC Frequency vs. VDD (Cext= 100pF, Temperature at 25°C)

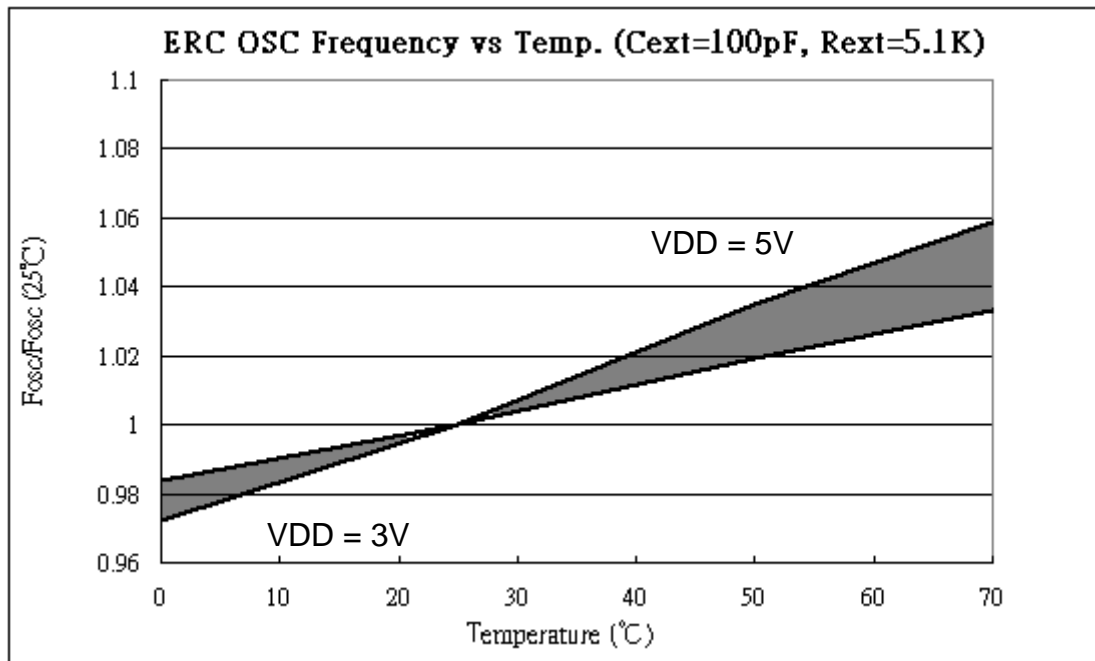


Fig. 25 Typical RC OSC Frequency vs. VDD (R and C are ideal components)

Four conditions exist with the Operating Current ICC1 to ICC4. These conditions are as follows:

ICC1: VDD=3V, Fosc=32K Hz, 2 clocks, WDT disable

ICC2: VDD=3V, Fosc=32K Hz, 2 clocks, WDT enable

ICC3: VDD=5V, Fosc=4M Hz, 2 clocks, WDT enable

ICC4: VDD=5V, Fosc=10M Hz, 2 clocks, WDT enable

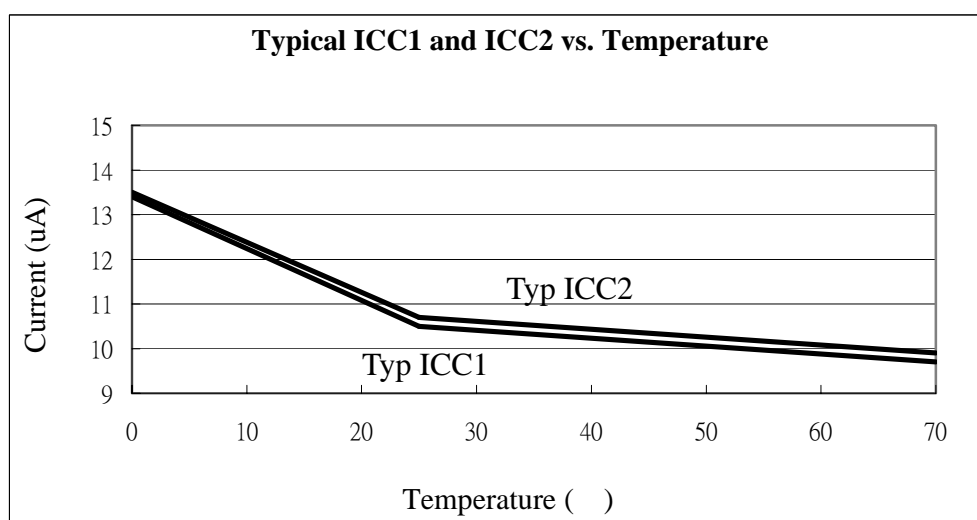


Fig. 26 Typical operating current (ICC1 and ICC2) vs. Temperature

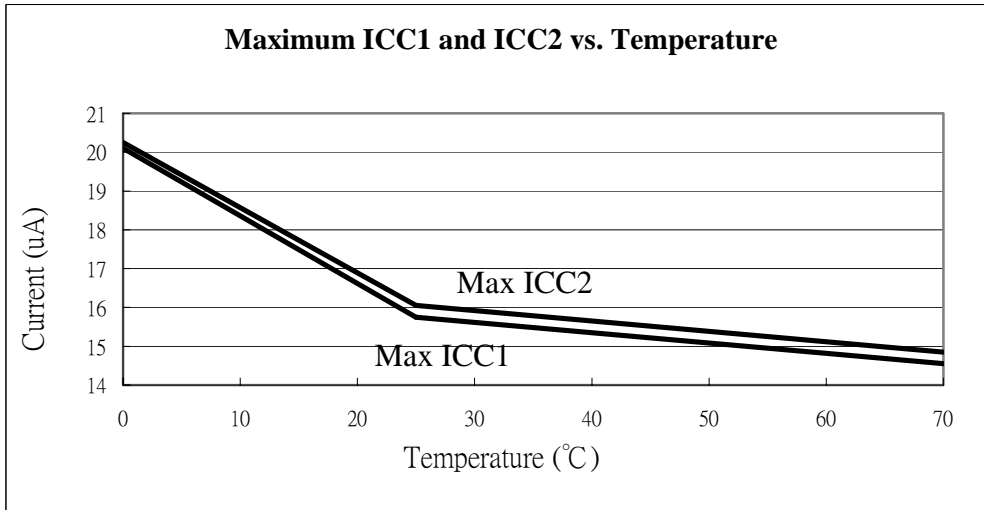


Fig. 27 Maximum operating current (ICC1 and ICC2) vs. Temperature

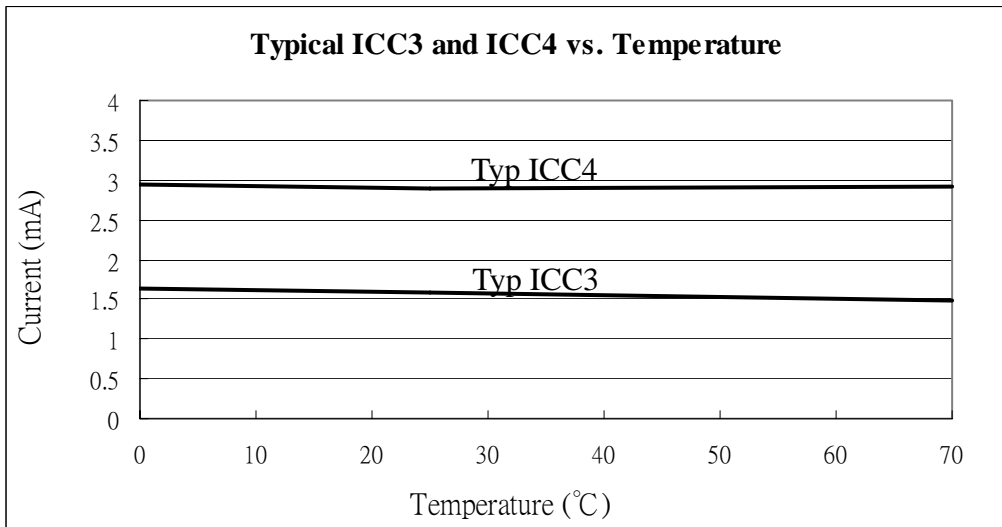


Fig. 28 Typical operating current (ICC3 and ICC4) vs. Temperature

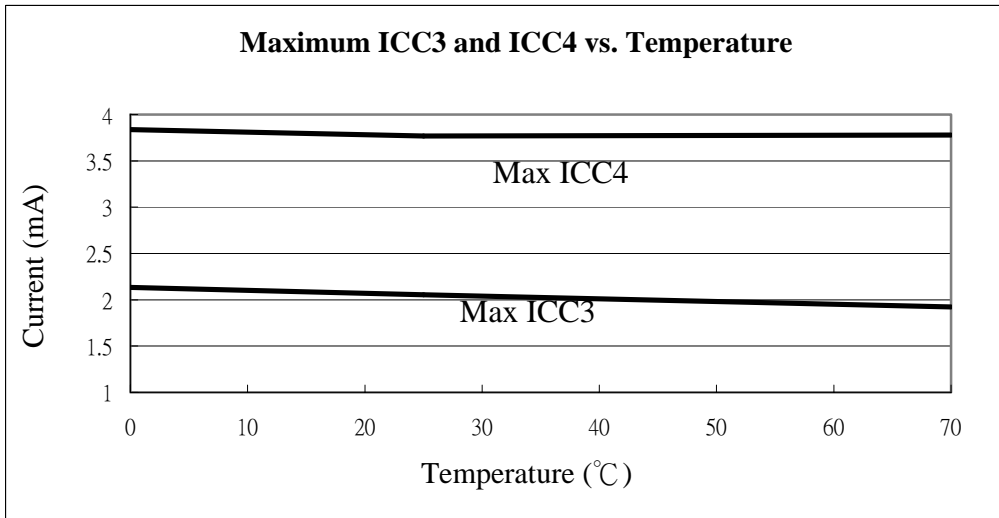


Fig. 29 Maximum operating current (ICC3 and ICC4) vs. Temperature

Two conditions exist with the Standby Current ISB1 and ISB2. These conditions are as follows:

ISB1: VDD=5V, WDT disable

ISB2: VDD=5V, WDT enable

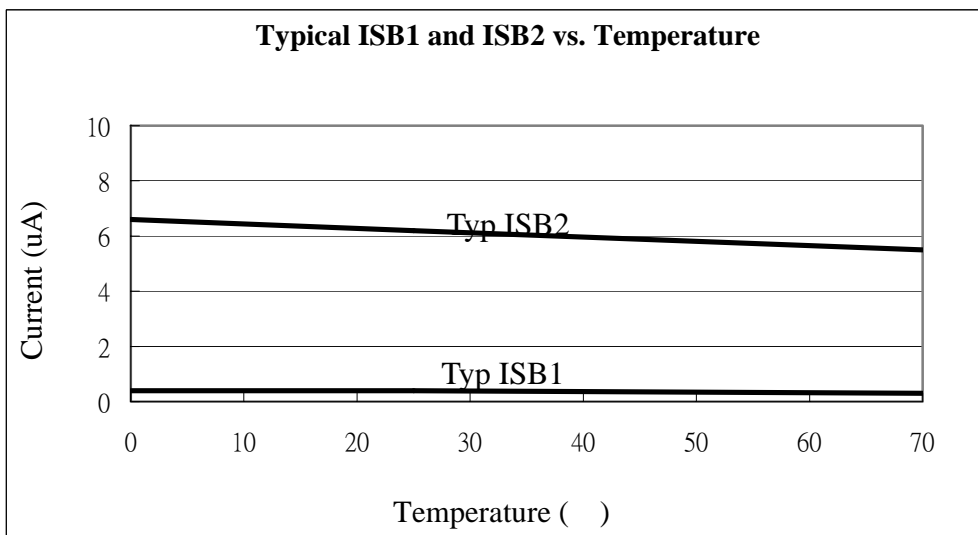


Fig. 30 Typical standby current (ISB1 and ISB2) vs. Temperature

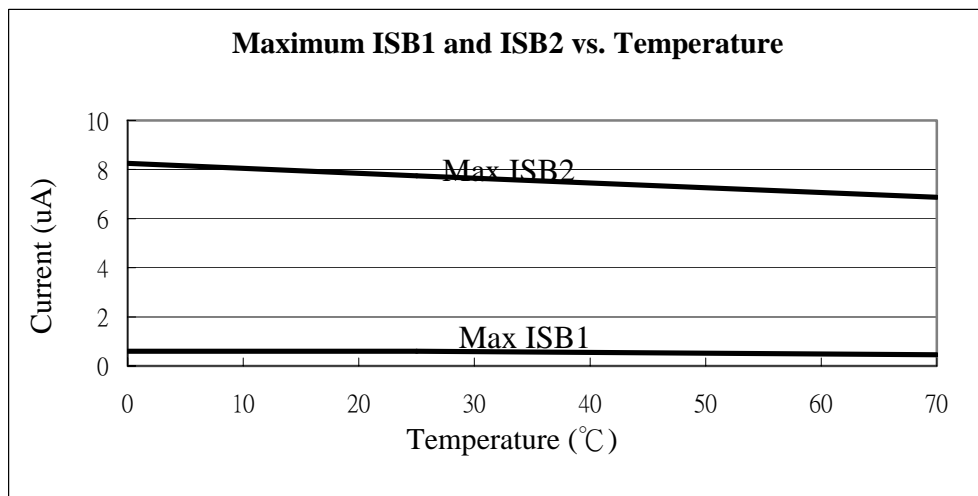


Fig. 31 Maximum standby current (ISB1 and ISB2) vs. Temperature

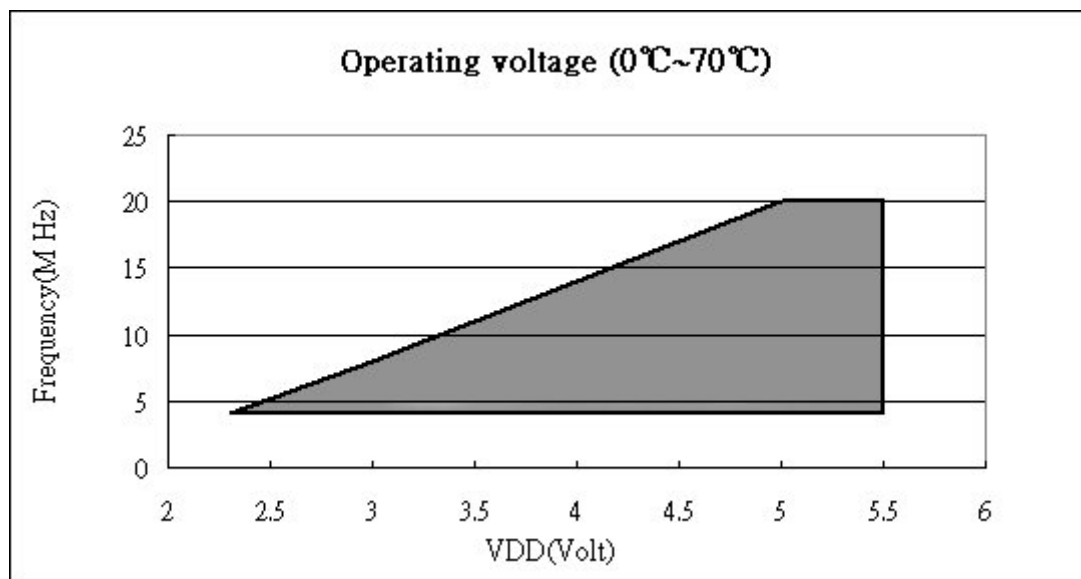


Fig. 32 Operating voltage in temperature range from 0°C to 70°C

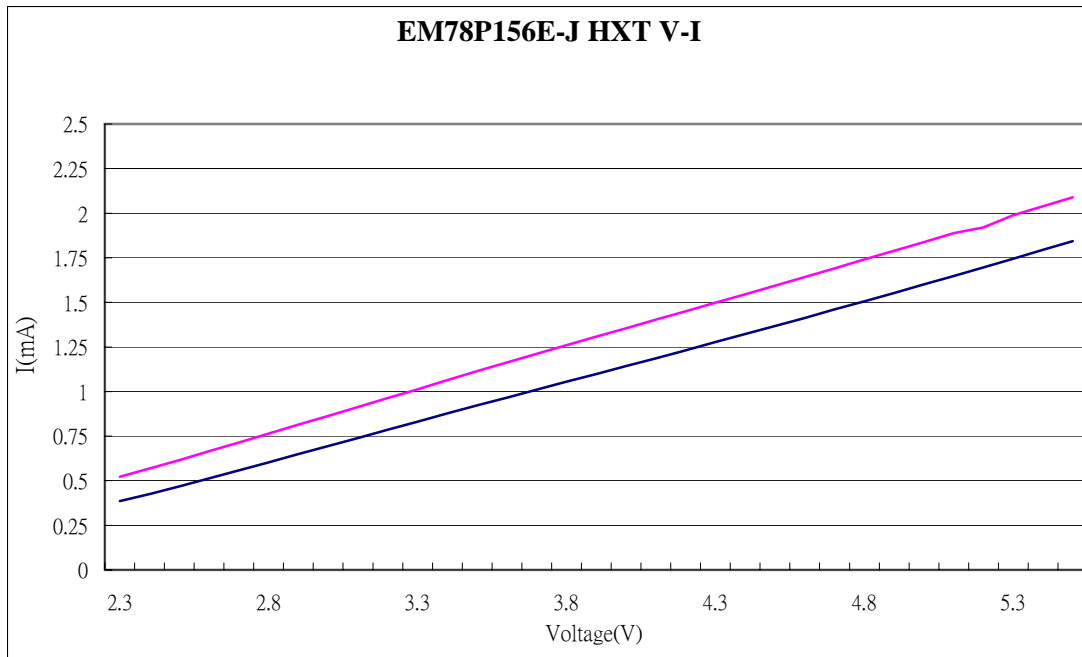


Fig. 33 Operating current range (based on high Freq. @ =25 °C) vs. Voltage

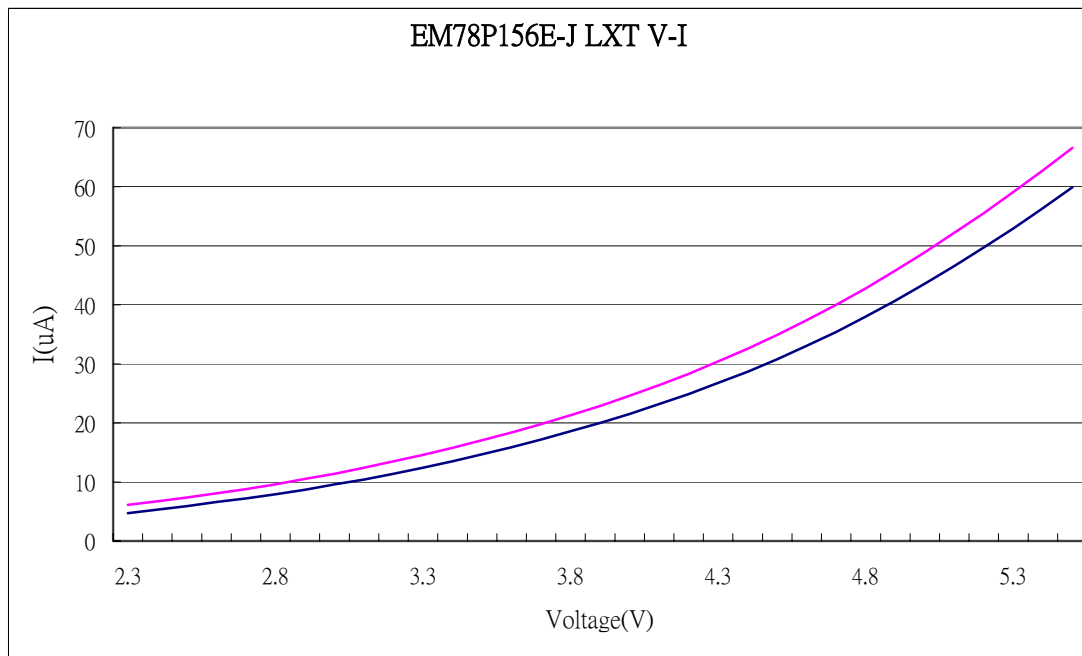


Fig. 34 Operating current range (based on low Freq. @ =25 °C) vs. Voltage

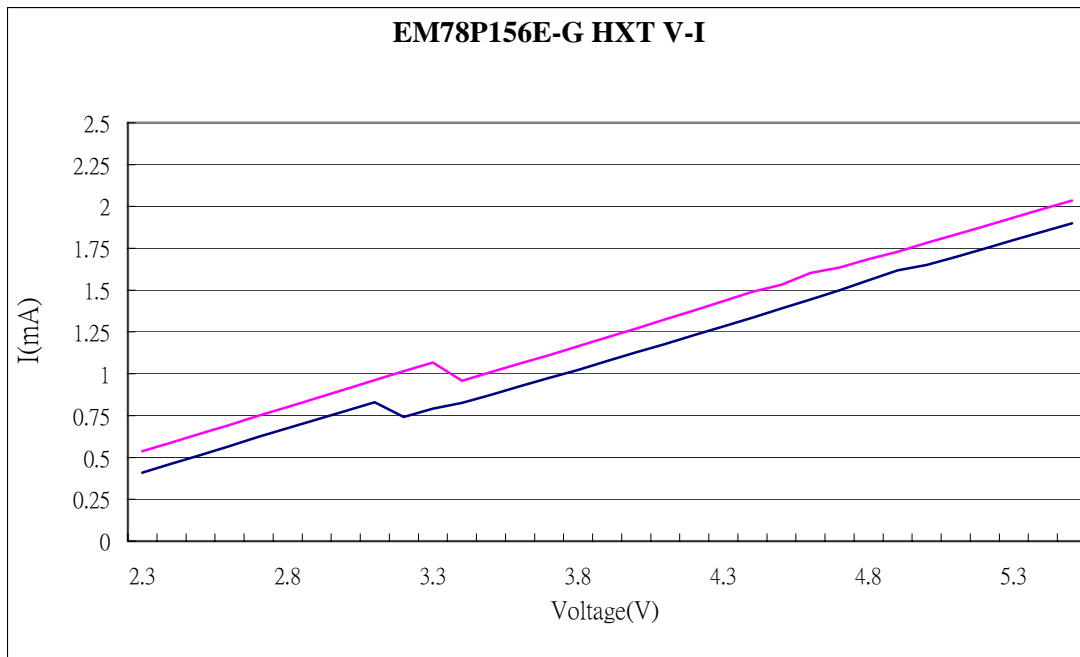


Fig. 35 Operating current range (based on high Freq. @ =25 °C) vs. Voltage

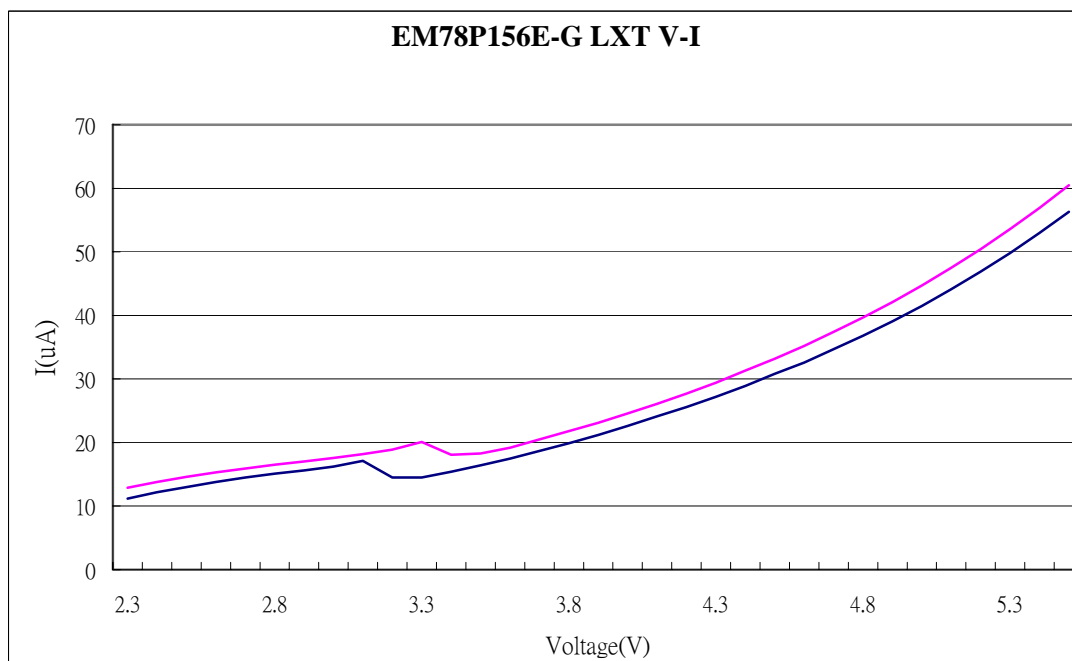


Fig. 36 Operating current range (based on low Freq. @ =25 °C) vs. Voltage

附录

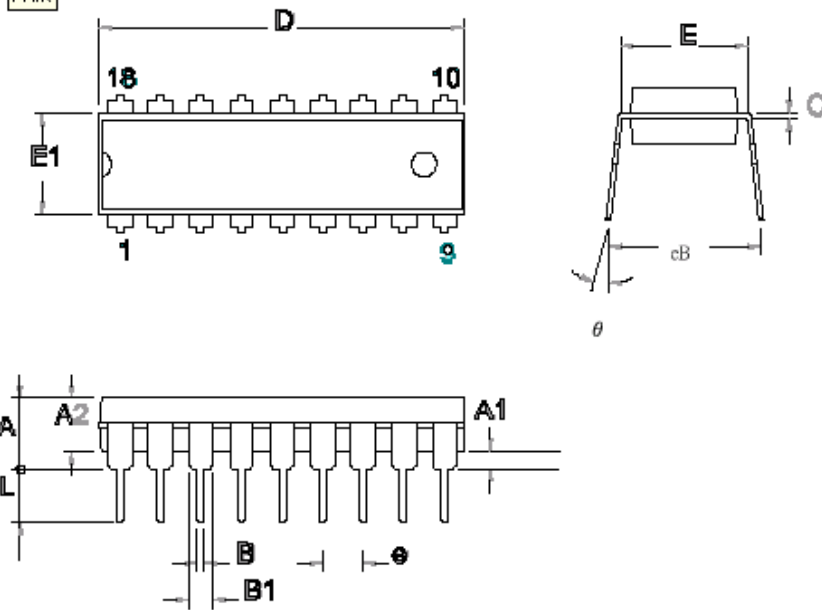
A 封装类型:

OTP MCU	Package Type	Pin Count	Package Size
EM78P156ELP	DIP	18	300 mil
EM78P156ELM	SOP	18	300 mil
EM78P156ELAS	SSOP	20	209 mil
EM78P156ELKM	SSOP	20	209 mil


B 封装信息

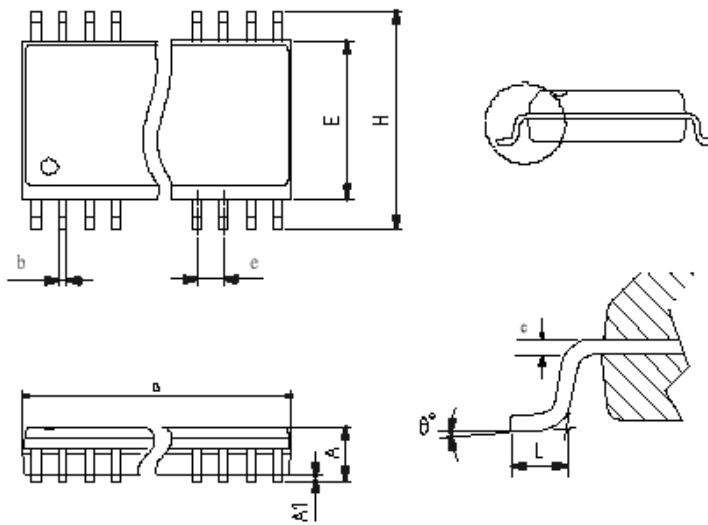
18-Lead Plastic Dual in line (PDIP) — 300 mil

Print



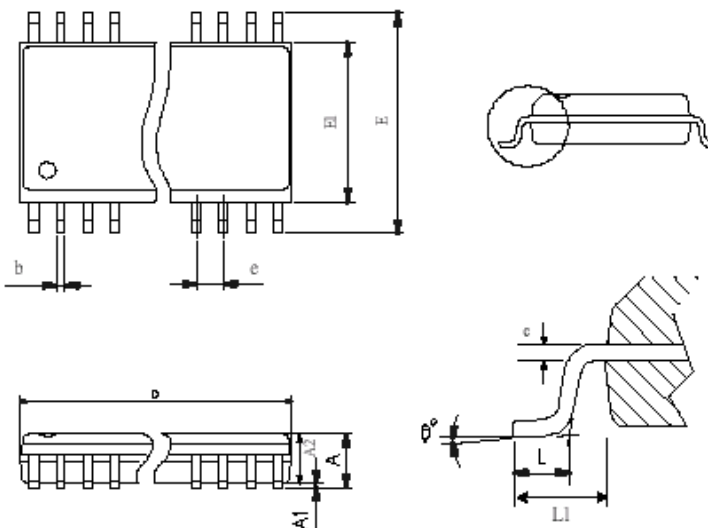
Symbol	Min	Normal	Max
A			4.450
A1	0.381		
A2	3.175	3.302	3.429
c	0.203	0.254	0.356
D	22.610	22.860	23.110
E1	6.220	6.438	6.655
E	7.370	7.620	7.870
cB	8.510	9.020	9.530
B	0.356	0.457	0.559
B1	1.143	1.524	1.778
L	3.048	3.302	3.556
e	2.540(TYP)		
θ	0		15

TITLE: PDIP-18L 300MIL PACKAGE OUTLINE DIMENSION	
File : = D18	Edition: A
	Unit: mm
	Scale: Free
	Material:
Sheet: 1 of 1	

18-Lead Plastic Small Outline (SOP) — 300 mil


Symbol	Min	Normal	Max
A	2.350		2.650
A1	0.102		0.300
b	0.406(TYP)		
c	0.230		0.320
E	7.400		7.600
H	10.000		10.650
D	11.350		11.750
L	0.406	0.838	1.270
e	1.27(TYP)		
θ°	0		8

TITLE: SOP-18(300MIL) PACKAGE OUTLINE DIMENSION	
File : = SOP18	Edition: A
	Unit : mm
	Scale: Free
	Material:
	Sheet:1 of 1

20-Lead Plastic Small Outline (SSOP) — 209 mil


Symbol	Min	Normal	Max
A			2.130
A1	0.050		0.250
A2	1.620	1.750	1.880
b	0.220		0.380
c	0.090		0.200
E	7.400	7.800	8.200
E1	5.000	5.300	5.600
D	6.900	7.200	7.500
L	0.650	0.750	0.850
L1	1.250(REF)		
e	0.650(TYP)		
θ°	0	4	8

TITLE: SSOP-20 PACKAGE OUTLINE DIMENSION	
File : = SSOP20	Edition: A
	Unit : mm
	Scale: Free
	Material:
	Sheet:1 of 1

